

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



D7



① BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑫ Übersetzung der  
europäischen Patentschrift

⑨ EP 0 660 518 B 1

⑩ DE 694 18 987 T 2

⑤ Int. Cl. 7:  
H 03 K 5/26  
H 03 K 3/017  
H 03 K 23/00  
G 01 R 25/08

- ⑪ Deutsches Aktenzeichen: 694 18 987.1
- ⑨ Europäisches Aktenzeichen: 94 120 564.3
- ⑨ Europäischer Anmeldetag: 23. 12. 1994
- ⑨ Erstveröffentlichung durch das EPA: 28. 6. 1995
- ⑨ Veröffentlichungstag  
der Patenterteilung beim EPA: 9. 6. 1999
- ④ Veröffentlichungstag im Patentblatt: 16. 3. 2000

- ③ Unionspriorität:  
32766993 24. 12. 1993 JP
- ⑦ Patentinhaber:  
Denso Corp., Kariya, Aichi, JP
- ⑦ Vertreter:  
WINTER, BRANDL, FÜRNISS, HÜBNER, RÖSS,  
KAISER, POLTE, Partnerschaft, 85354 Freising
- ⑧ Benannte Vertragsstaaten:  
DE, FR, GB

- ⑦ Erfinder:  
Yamauchi, Shigenori, Kariya-city, Aichi-pref. 448,  
JP; Watanabe, Takamoto, Nagoya-city, Aichi-pref.  
458, JP

- ⑤ Frequenzteiler, Schaltung zur Frequenzmessung und Impulsgenerator mit einer gemeinsamen Verzögerungsschaltung

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

DE 694 18 987 T 2

DE 694 18 987 T 2



## 1. Gebiet der Erfindung:

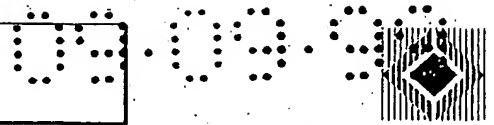
Die vorliegende Erfindung betrifft einen Frequenzwand-  
5 ler, eine Frequenzmeßschaltung und einen Pulsgenerator,  
welcher Pulse mit einem vorbestimmten Tastverhältnis er-  
zeugt, wobei eine aus einer Vielzahl von miteinander ver-  
bundenen Verzögerungselementen aufgebaute Verzögerungs-  
10 schaltung vorgesehen ist, um die Kodierung einer Phasendif-  
ferenz in einem Pulssignal, die Ausgabe eines Oszillations-  
signals in Übereinstimmung mit digitalen Daten oder beides  
gleichzeitig auf der Grundlage von verzögerten Signalen,  
welche nacheinander an vorbestimmten Verbindungspunkten der  
Verzögerungselemente ausgegeben werden, durchzuführen.

## 2. Stand der Technik:

Als Pulsphasendifferenz-Kodiervorrichtungen zum Kodie-  
ren einer Phasendifferenz in einem Pulssignal in digitale  
20 Daten sind Pulsphasendifferenz-Kodiervorrichtungen, wie zum  
Beispiel die in der JP-A-3-220814 offenbarte bekannt, bei  
welchen eine aus einer Vielzahl von miteinander verbundenen  
Verzögerungselementen aufgebaute Verzögerungsschaltung vor-  
gesehen ist; das erste Pulssignal in das Verzögerungsele-  
25 ment an der ersten Stufe der Verzögerungsschaltung eingege-  
ben wird; das Verzögerungselement in der Verzögerungsschal-  
tung, an welcher die Eingangspulse zu dem Zeitpunkt ange-  
kommen sind, zu welchem der nächste Puls eingegeben wird,  
erfaßt wird; die Anzahl der Verzögerungselemente, welche  
30 bis zu diesem Element ausgehend von dem an der ersten Stufe  
verbunden sind, kodiert wird, um digitale Daten zu erzie-  
len, die der Phasendifferenz zwischen diesen Pulssignalen  
entsprechen.

35 Ferner sind als Oszillationsvorrichtungen, deren Os-  
zillationsfrequenzen über weite Bereiche von mehreren hun-  
dert kHz bis zu mehreren zehn MHz digital gesteuert werden

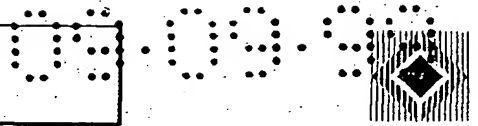




können, digital gesteuerte Oszillationsvorrichtungen, wie zum Beispiel die in der JP-A-5-102801 offenbarte, vorgeschlagen worden, bei welchen eine aus einer Vielzahl von miteinander verbundenen Verzögerungselementen aufgebaute Verzögerungsschaltung wie in den zuvor beschriebenen Pulsphasendifferenz-Kodiervorrichtungen, vorgesehen ist und bei welchen der Verzögerungsvorgang der Verzögerungsschaltung durch Eingeben eines Pulssignals in das Verzögerungselement an der ersten Stufe der Verzögerungsschaltung gestartet wird und nachfolgend ein Oszillationssignal in einem Zyklus in Übereinstimmung mit den digitalen Daten durch Wiederholen des Ausführens von Vorgängen, wie zum Beispiel ein Ausgeben eines Oszillationssignals, wenn Pulssignale von den Verzögerungselementen an Verbindungspositionen, die den digitalen Daten entsprechen, in der Verzögerungsschaltung ausgegeben werden, und ein gleichzeitiges Initialisieren der Verzögerungsschaltung, ausgegeben wird.

Bei diesen Vorrichtungen kann das Erfassen von Pulsphasendifferenzen und das Steuern über eine Oszillationsfrequenz bei einer Zeitauflösung durchgeführt werden, welche durch die Verzögerungszeit der Verzögerungselemente der Verzögerungsschaltungen bestimmt wird. Es ist daher möglich, eine bedeutende Verbesserung gegenüber den herkömmlichen Vorrichtungen bezüglich der Genauigkeit des Erfassens von Pulsphasendifferenzen und der Genauigkeit des Steuerns über eine Oszillationsfrequenz zu erzielen.

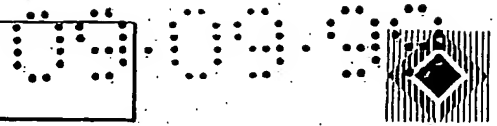
Ferner ist es möglich, da diese Vorrichtungen das Erfassen von Pulsphasendifferenzen und das Steuern über eine Oszillationsfrequenz genau durchführen können, einen PLL (Phasenregelkreis) für Kommunikationsvorrichtungen, Motorsteuervorrichtungen usw. vorzusehen, welcher digital gesteuert werden kann und durch Kombinieren einer Pulsphasendifferenz-Kodiervorrichtung und einer digital gesteuerten Oszillationsvorrichtung, wie zum Beispiel in der JP-A-5-102801 offenbart, höchst genau ist. Alternativ hierzu kann



das Verhältnis des Zyklus eines zu messenden Oszillationssignals zu demjenigen eines Bezugssignals, d.h. der Oszillationsfrequenz des Oszillationssignals, zum Beispiel durch gleichzeitiges Verwenden von zwei Pulsphasendifferenz-Kodiervorrichtungen erfaßt werden, wobei der Zyklus des in eine der Pulsphasendifferenz-Kodiervorrichtungen eingegebenen Bezugssoszillationssignals kodiert wird; der Zyklus des in die andere Pulsphasendifferenz-Kodiervorrichtung eingegebenen Oszillationssignals kodiert wird; und eine Teilung an den kodierten Daten ausgeführt wird, um das zuvor erwähnte Verhältnis zu erzielen. Ferner ist es ebenso möglich, zwei digital gesteuerte Oszillationsvorrichtungen gleichzeitig zu verwenden und die Oszillationssignale dieser Oszillationsvorrichtungen zu synthetisieren, um ein Oszillationssignal mit einer Frequenz zu erzeugen, die höher als die Frequenzen ist, welche durch diese Oszillationsvorrichtungen erzielt werden können.

Ferner offenbart die US-A-5 128 624 eine Pulsphasendifferenz-Kodierschaltung zum Bestimmen der Phasendifferenz zwischen ersten und zweiten Eingangsphasen unter Verwendung einer Verzögerungsschaltung mit einer Vielzahl von Verzögerungselementen.

Eine derartige gleichzeitige Verwendung der Vorrichtungen, wie sie zuvor beschrieben worden ist, wird ein erfolgreiches Ergebnis liefern, wenn die in diesen Vorrichtungen enthaltenen Verzögerungsschaltungen vollständig an der gleichen Zeitauflösung arbeiten. Jedoch werden Änderungen der Zeitauflösung unter den Verzögerungsschaltungen in diesen Vorrichtungen, die durch Änderungen in den Verzögerungselementen der Verzögerungsschaltungen verursacht werden, zu Änderungen der Zeitauflösung unter den Oszillationssignalen der Vorrichtungen führen, welche in Übereinstimmung mit den kodierten Daten von Pulsphasendifferenzen und digitalen Daten sind. Dies hat zu Problemen, wie zum Beispiel dazu geführt, daß der Betrieb eines PLL nicht mit



hoher Genauigkeit digital gesteuert werden kann, wenn der PLL aus einer Pulsphasendifferenz-Kodiervorrichtung und einer digital gesteuerten Oszillationsvorrichtung aufgebaut ist, wie es zuvor beschrieben worden ist.

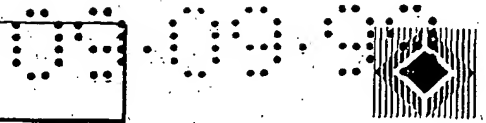
5 Ein derartiges Problem kann durch gemeinsames Nutzen einer einzigen Verzögerungsschaltung unter diesen Vorrichtungen anstelle eines Ausstattens jeder dieser Vorrichtungen mit einer Verzögerungsschaltung vermieden werden. Bei  
10 herkömmlichen Vorrichtungen ist es jedoch nicht möglich, eine einzige Verzögerungsschaltung unter derartigen Vorrichtungen gemeinsam zu nutzen, da eine Verzögerungsschaltung für einen Verzögerungsvorgang initialisiert und aktiviert wird, wenn das erste Pulssignal, welches einer Phasendifferenzkodierung zu unterziehen ist, von außen eingegeben wird oder wenn ein Oszillationssignal ausgegeben wird.  
15

#### KURZFASSUNG DER ERFINDUNG

20 Es ist daher eine Aufgabe der vorliegenden Erfindung, einen Frequenzwandler, eine Frequenzmeßschaltung und einen Pulsgenerator zum Erzeugen von Pulsen mit einem vorbestimmten Tastverhältnis unter Verwendung einer einzigen Verzögerungsvorrichtung zu schaffen.  
25

Hinsichtlich des Frequenzwandlers wird diese Aufgabe durch die in dem unabhängigen Anspruch 1 angegebenen Maßnahmen gelöst. Hinsichtlich der Frequenzmeßschaltung wird  
30 die zuvor erwähnte Aufgabe durch die in dem unabhängigen Anspruch 7 angegebenen Maßnahmen gelöst, während, hinsichtlich des Pulsgenerators die Aufgabe durch die in dem vorliegenden unabhängigen Anspruch 11 angegebenen Maßnahmen gelöst wird.

35 Die abhängigen Unteransprüche beschreiben besondere Ausführungsbeispiele der vorliegenden Erfindung.



Zum Beispiel kann bei Frequenzmeßschaltungen die gemeinsame Nutzung einer Verzögerungsschaltung unter einer Vielzahl von Pulsphasendifferenz-Kodiervorrichtung realisiert werden. Bei jeder der Pulsphasendifferenz-Kodiervorrichtungen wird zu jedem Zeitpunkt, zu dem ein externes Pulssignal eingegeben wird, das durch die Verzögerungsschaltung ausgegebene letzte verzögerte Signal erfaßt; werden digitale Daten erzeugt, welche die Verbindungsposition des Verzögerungselements, welches das verzögerte Signal ausgegeben hat, in der Verzögerungsschaltung anzeigen; wird die Abweichung zwischen den vorhergehend erzeugten digitalen Daten und den neuesten digitalen Daten berechnet; und wird das Berechnungsergebnis als digitale Daten ausgegeben, welche die Phasendifferenz zwischen den Pulssignalen anzeigen.

Genauer gesagt ist eine erfindungsgemäße Pulsphasendifferenz-Kodierschaltung derart gestaltet, daß die Position in einer Verzögerungsschaltung kodiert wird, an welcher ein verzögertes Signal zu jedem Zeitpunkt ausgegeben wird, zu dem ein externes Pulssignal eingegeben wird, um die Abweichung zwischen dem kodierten Wert und dem vorhergehenden kodierten Wert zu berechnen und um das Berechnungsergebnis als digitale Daten auszugeben, welche die Differenz zwischen den Phasen der zwei von außen eingegebenen Pulssignale anzeigen. Dies ermöglicht es, die Phasendifferenz zwischen zwei Pulssignalen unter Verwendung lediglich von verzögerten Signalen, die sequentiell und aufeinanderfolgend aus einer Verzögerungsschaltung ausgegeben werden, ohne Aktivieren der Verzögerungsschaltung durch das erste Eingangspulssignal wie bei herkömmlichen Pulsphasendifferenz-Kodierschaltungen zu kodieren. Daher wird eine Verzögerungsschaltung unter einer Vielzahl von Pulsphasendifferenz-Kodierschaltungen gemeinsam genutzt.

Folglich kann bei einer Pulsphasendifferenz-Kodiervor-



5 richtung, welche die vorliegende Erfindung verwendet, eine  
einzige Verzögerungsschaltung unter einer Vielzahl von  
Pulsphasendifferenz-Kodierschaltungen gemeinsam genutzt  
werden, um Phasendifferenzen zwischen einer Vielzahl von  
10 Pulssignalen gleichzeitig zu kodieren. Dies ermöglicht es,  
einen einfacheren Schaltungsaufbau zu schaffen und eine  
kompaktere Gestaltung einer Vorrichtung verglichen mit Kom-  
binationen von herkömmlichen Pulsphasendifferenz-Kodier-  
schaltungen zu schaffen, da die Verzögerungsschaltung von  
den Pulsphasendifferenz-Kodierschaltungen gemeinsam genutzt  
wird. Ferner ist es möglich, eine Anpassung der Zeitauflö-  
sung von digitalen Daten zu erzielen, welche von diesen  
Pulsphasendifferenz-Kodierschaltungen kodiert werden.

15 Ferner kann bei der Pulsphasendifferenz-Kodiervorrich-  
tung die zuvor beschriebene Verzögerungsschaltung aus einer  
Pulsumlaufschaltung mit einer Vielzahl von Invertierschal-  
tungen aufgebaut sein, welche in der Form eines Rings mit-  
einander verbunden sind und welche sequentiell Pulssignale  
20 invertieren, um diese umlaufen zu lassen. Die Anzahl der  
Umläufe eines Pulssignals innerhalb der Pulsumlaufschaltung  
kann in der Pulsphasendifferenz-Kodierschaltung gezählt  
werden und der Zählwert kann als Bitdaten hoher Wertigkeit  
unter den erzeugten digitalen Daten verwendet werden.

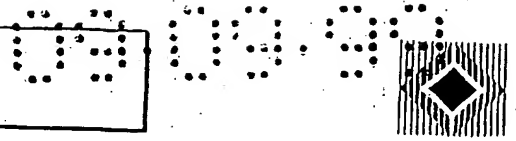
25 Wenn eine Phasendifferenz zwischen Pulssignalen ko-  
diert wird, wenn die verwendete Verzögerungsschaltung durch  
einfaches Verbinden von Verzögerungselementen aufgebaut  
ist, muß die Anzahl der Verzögerungselemente, welche die  
30 Verzögerungsschaltung bilden, erhöht werden, wenn sich die  
zu kodierende Phasendifferenz erhöht. Ferner muß, wenn Pha-  
sendifferenzen zwischen Pulssignalen, welche aufeinander-  
folgend eingegeben werden, aufeinanderfolgend zu kodieren  
sind, die Anzahl der Verzögerungselemente, welche die Ver-  
35 zögerungsschaltung bilden, unendlich groß sein. Daher ist  
die Verzögerungsschaltung aus einer Pulsumlaufschaltung  
aufgebaut, welche aus einer Vielzahl von Invertierschaltun-



gen aufgebaut ist, die in der Form eines Rings miteinander verbunden sind. Dieser Aufbau ermöglicht es, auch eine Phasendifferenz zwischen Pulssignalen, die größer als die für die Pulssignale erforderliche Zeit ist, um einen Umlauf in der Pulsumlaufschaltung zu machen, ohne irgendwelche Probleme zu kodieren, da auch dann, wenn die Anzahl der die Pulsumlaufschaltung bildenden Invertierschaltungen verringert wird, verzögerte Signale sequentiell und andauernd aus der Pulsumlaufschaltung ausgegeben werden; die Anzahl der Umläufe, die ein Pulssignal innerhalb der Pulsumlaufschaltung macht, wird gezählt; und die Abweichung wird unter Verwendung des Zählwerts als Bitdaten hoher Wertigkeit unter den digitalen Daten berechnet.

Als Ergebnis können auch dann, wenn die Anzahl der Verzögerungselemente (Invertierelemente), welche die Verzögerungsschaltung (Pulsumlaufschaltung) bilden, klein ist, Phasendifferenzen zwischen Pulssignalen über einen weiten Bereich andauernd kodiert werden. Dies ermöglicht es, eine Vorrichtung mit einem einfachen Aufbau und daher einer kompakten Abmessung zu schaffen.

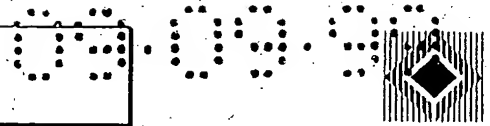
Bei einer Oszillationsvorrichtung oder einem Pulsgenerator zum Erzeugen von Pulsen mit einem vorbestimmten Tastverhältnis wird eine Verzögerungsschaltung unter einer Vielzahl von digital gesteuerten Oszillationsschaltungen gemeinsam genutzt. In jeder der digital gesteuerten Oszillationsschaltungen gibt eine Eingangsdaten-Ausgabeeinrichtung, wenn den Ausgabezyklus eines Pulssignals anzeigende digitale Daten eingegeben werden, zuerst vorbestimmte Eingangsdaten zu einer Signalauswahleinrichtung aus. Nachfolgend wählt die Signalauswahleinrichtung das verzögerte Signal, das von dem Verzögerungselement an der Verbindungsposition ausgegeben wird, die den Eingangsdaten entsprechen, aus verzögerten Signalen aus, welche von der Verzögerungsschaltung sequentiell ausgegeben werden. Wenn die Signalauswahleinrichtung das verzögerte Signal auswählt, gibt



eine Pulssignal-Ausgabeeinrichtung ein Pulssignal aus. Ferner aktualisiert die Eingangsdaten-Ausgabeeinrichtung, wenn die Signalauswahleinrichtung das von der Verzögerungsschaltung ausgegebene verzögerte Signal auswählt, die zu der  
5 Signalauswahleinrichtung ausgegebenen Eingangsdaten durch Addieren von von außen eingegebenen digitalen Daten zu diesen. Als Ergebnis wählt die Signalauswahleinrichtung erneut ein verzögertes Signal aus, das von der Verzögerungsschaltung nach einer Zeitdauer ausgegeben wird, die diesen digitalen Daten entspricht. Wenn die Signalauswahleinrichtung  
10 dieses verzögerte Signal aus, erzeugt die Pulssignal-Ausgabeeinrichtung erneut ein Pulssignal aus.

Anders ausgedrückt sind erfindungsgemäß die digital gesteuerten Oszillationsschaltungen derart aufgebaut, daß zu jedem Zeitpunkt, zu dem die Signalauswahleinrichtung ein verzögertes Signal auswählt (d.h. zu jedem Zeitpunkt, zu dem die Pulssignal-Ausgabeeinrichtung ein Pulssignal ausgibt), die Eingangsdaten, die von der Signalauswahleinrichtung  
20 verwendet werden, um das verzögerte Signal auszuwählen, durch Addieren von von außen eingegebenen digitalen Daten aktualisiert werden. Dies ermöglicht es, den Ausgabezyklus (d.h. die Oszillationsfrequenz) eines Pulssignals unter Verwendung von verzögerten Signalen zu steuern, welche sequentiell und andauernd von der Verzögerungsschaltung  
25 ausgegeben werden, ohne die Verzögerungsschaltung zu jedem Zeitpunkt zu initialisieren und zu aktivieren, zu dem ein als Oszillationssignal dienendes Pulssignal ausgegeben wird. Daher wird das gemeinsame Nutzen einer Verzögerungsschaltung unter einer Vielzahl von digital gesteuerten Oszillationsschaltungen realisiert.  
30

Als Ergebnis kann in einem Pulsgenerator oder einer Oszillationsvorrichtung, welche die vorliegende Erfindung  
35 verwendet, eine einzige Verzögerungsschaltung unter einer Vielzahl von digital gesteuerten Oszillationsschaltungen gemeinsam genutzt werden, um Pulssignale mit vorbestimmten



5      Zyklen auszugeben, die einer Vielzahl von von außen einge-  
gebenen digitalen Daten entsprechen. Dies ermöglicht es,  
einen einfacheren Schaltungsaufbau zu schaffen und eine  
eine Vorrichtung kompakter zu machen, wenn sie mit Kombina-  
10      tionen von herkömmlichen digital gesteuerten Oszillations-  
schaltungen verglichen wird, da die Verzögerungsschaltung  
von den digital gesteuerten Oszillationsschaltungen gemein-  
sam genutzt wird. Ferner ist es möglich, eine Anpassung der  
Zeitauflösung des Pulssignals, welches von jeder der digi-  
10      tal gesteuerten Oszillationsschaltungen erzeugt wird, an  
die digitalen Daten zu erzielen.

Bei dieser Oszillationsschaltung kann die zuvor be-  
schriebene Verzögerungsschaltung ebenso aus einer Pulsum-  
15      laufschaltung aufgebaut sein, welche eine Vielzahl von In-  
vertierschaltungen aufweist, die in der Form eines Rings  
miteinander verbunden sind, und bei welcher Pulssignale  
durch die Invertierschaltungen sequentiell invertiert wer-  
den, um in Umlauf gehalten zu werden. Bei jeder der zuvor  
20      beschriebenen digital gesteuerten Oszillationsschaltungen  
zählt eine zweite Zähleinrichtung die Anzahl der Umläufe  
eines Pulssignals innerhalb der Pulsumlaufschaftung und  
gibt ein Erfassungssignal aus, welches anzeigt, wenn der  
Zählwert Bitdaten hoher Wertigkeit unter den von außen ein-  
25      gegebenen digitalen Daten erreicht; aktualisiert eine Ein-  
gangsdaten-Ausgabeeinrichtung die zu der Signalauswahlein-  
richtung ausgegebenen Eingangsdaten in Übereinstimmung mit  
den Bitdaten niedriger Wertigkeit unter den von außen ein-  
gegebenen digitalen Daten; wird die Anzahl der von der  
30      zweiten Zähleinrichtung gezählten Umläufe um eins erhöht,  
wenn der aktualisierte Wert die Bits hoher Wertigkeit er-  
reicht; und gibt die Pulssignal-Ausgabeeinrichtung ein  
Pulssignal aus, wenn ein Erfassungssignal von der zweiten  
Zähleinrichtung ausgegeben wird und ein verzögertes Signal  
35      von der Signalauswahleinrichtung ausgewählt wird. Ferner  
initialisiert, wenn ein Erfassungssignal von der zweiten  
Zähleinrichtung ausgegeben wird, eine Zählsteuereinrichtung





den Zählwert in der zweiten Zähleinrichtung und bewirkt, daß diese das Zählen wieder aufnimmt.

Genauer gesagt muß, wenn Pulssignale in einem Zyklus wiederholt erzeugt werden, der von außen eingegebenen digitalen Daten entspricht, wenn eine Verzögerungsschaltung verwendet wird, die durch einfaches Verbinden von Verzögerungselementen gebildet ist, die Anzahl der Verzögerungselemente, welche die Verzögerungsschaltung bilden, erhöht werden, wenn sich die Betriebszeit erhöht. Da es erforderlich ist, die Verzögerungsschaltung unter Verwendung einer unendlich großen Anzahl von Verzögerungselementen aufzubauen, um eine andauernde Oszillation zu bewirken, ist die Verzögerungsschaltung durch eine Pulsumlaufschaltung gebildet, welche aus einer Vielzahl von Invertierschaltungen besteht, die in der Form eines Rings miteinander verbunden sind, so daß Verzögerungssignale auch dann sequentiell und aufeinanderfolgend aus der Pulsumlaufschaltung ausgegeben werden, wenn die Pulsumlaufschaltung unter Verwendung einer kleinen Anzahl von Invertierschaltungen aufgebaut ist. Wenn die Verzögerungsschaltung derart durch eine Pulsumlaufschaltung aufgebaut ist, kann der Zyklus (Zeit), der den digitalen Daten entspricht, nicht vorzugsweise von den Verzögerungssignalen aus der Pulsumlaufschaltung in der digital gesteuerten Oszillationsschaltung gemäß dem dritten Aspekt der Erfindung gemessen werden. Daher sind erfindungsgemäß eine zweite Zähleinrichtung und eine Zählsteuer-einrichtung in der digital gesteuerten Oszillationsschaltung vorgesehen, um zuzulassen, daß der Ausgabezyklus eines Pulssignals in Übereinstimmung mit der Anzahl der Umläufe des Pulssignals innerhalb der Pulsumlaufschaltung und den Positionen gesteuert wird, an welchen verzögerte Signale von der Pulsumlaufschaltung ausgegeben werden.

Dies ermöglicht es, Pulssignale für eine lange Zeit in einem Zyklus in Übereinstimmung mit digitalen Daten mit einer kleinen Anzahl von Verzögerungselementen



(Invertierelementen) auszugeben, welche die Verzögerungsschaltung (Pulsumlaufschaltung) bilden, wodurch der Aufbau einer Vorrichtung vereinfacht wird und die Abmessung der Vorrichtung verringert wird.

5

Ferner kann die vorliegende Erfindung an einer Kombination einer Pulsphasendifferenz-Kodiervorrichtung und einer Oszillationsvorrichtung angewendet werden, wie es zuvor beschrieben worden ist, wodurch ein Frequenzwandler definiert wird, wobei eine Verzögerungsschaltung gemeinsam von derartigen Vorrichtungen genutzt werden kann.

10

Zum Beispiel kann, wenn ein PLL unter Verwendung der zuvor beschriebenen Pulsphasendifferenz-Kodierschaltung und digital gesteuerten Oszillationsschaltung aufgebaut ist, der Aufbau der Vorrichtung vereinfacht werden, um die Vorrichtung kompakt zu machen, da ungleich den herkömmlichen Vorrichtungen keine Notwendigkeit besteht, diese Schaltungen mit einer Verzögerungsschaltung zu versehen. Ferner kann, da eine Verzögerungsschaltung von diesen Vorrichtungen gemeinsam genutzt wird, die Anpassung der Zeitauflösung von diesen Vorrichtungen realisiert werden. Zum Beispiel kann durch Eingeben von von der Pulsphasendifferenz-Kodierschaltung erzielten digitalen Daten in die digital gesteuerte Oszillationsschaltung wie sie sind ein Oszillationssignal vollständig synchronisiert zu dem Eingangssignal aus der digital gesteuerten Oszillationsschaltung zu der Pulsphasendifferenz-Kodierschaltung ausgegeben werden.

15

20

25

30

35

Ferner kann bei diesem Frequenzwandler die Verzögerungsschaltung durch eine Pulsumlaufschaltung gebildet sein, welche eine Vielzahl von Invertierschaltungen aufweist, die in der Form eines Rings miteinander verbunden sind, und welche ein Pulssignal durch sequentielles Invertieren von ihm durch die Invertierschaltungen in Umlauf hält.



Dies ermöglicht es, das Kodieren von Pulsphasendiffe-  
renzen und das Ausgeben von Pulssignalen mit einer kleinen  
Anzahl von Verzögerungselementen (Invertierelementen) an-  
dauernd durchzuführen, welche die Verzögerungsschaltung  
5 (Pulsumlaufschaltung) bilden, wodurch der Aufbau einer Vor-  
richtung vereinfacht wird und die Abmessung der Vorrichtung  
verringert wird.

#### KURZE BESCHREIBUNG DER ZEICHNUNG

10

Diese und weitere Aufgaben, Merkmalen und Eigenschaf-  
ten der vorliegenden Erfindung gehen aus einer Betrachtung  
der nachfolgenden detaillierten Beschreibung, den beilie-  
genden Ansprüchen und der Zeichnung hervor, die alle einen  
15 Teil der vorliegenden Anmeldung bilden. In der Zeichnung  
zeigt:

FIG. 1 ein Blockdiagramm, welches einen Gesamtaufbau  
eines Frequenzwandlers eines Ausführungsbeispiels der vor-  
20 liegenden Erfindung darstellt;

FIG. 2 ein elektrisches Schaltbild, welches einen Auf-  
bau eines Ringoszillators eines Ausführungsbeispiels der  
vorliegenden Erfindung darstellt;

25

FIG. 3 ein Zeitablaufdiagramm, welches den Betrieb  
des in FIG. 2 gezeigten Ringoszillators darstellt;

FIG. 4 ein elektrisches Schaltbild, welches einen Auf-  
bau einer Pulsphasendifferenz-Kodierschaltung eines Ausführ-  
30 ungsbeispiels der vorliegenden Erfindung darstellt;

FIG. 5 ein elektrisches Schaltbild, welches einen Auf-  
bau einer Pulsauswahl/kodierschaltung in der in FIG. 4 ge-  
35 zeigten Pulsphasendifferenz-Kodierschaltung darstellt;

FIG. 6 ein Zeitablaufdiagramm, welches den Betrieb



der in FIG. 4 gezeigten Pulsphasendifferenz-Kodierschaltung darstellt;

5 FIG. 7 ein elektrisches Schaltbild, welches einen Aufbau einer digital gesteuerten Oszillationsschaltung in einem Ausführungsbeispiel der vorliegenden Erfindung darstellt;

10 FIG. 8 ein Zeitablaufdiagramm, welches einen Betrieb der in FIG. 7 gezeigten digital gesteuerten Oszillationsschaltung darstellt, welcher direkt auf das Aktivieren der gleichen folgt;

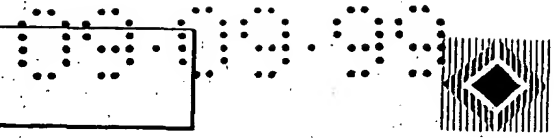
15 FIG. 9 ein Blockdiagramm, welches einen Aufbau einer Frequenzmeßvorrichtung zeigt, die zwei Pulsphasendifferenz-Kodierschaltungen verwendet; und

20 FIG. 10(a) ein Blockdiagramm, welches einen Aufbau einer Oszillationsvorrichtung zeigt, die zwei digital gesteuerten Oszillationsschaltungen verwendet, und FIG. 10(b) ist ein Zeitablaufdiagramm zum Erläutern der Funktionsweise von FIG. 10(a).

25 DETAILLIERTE BESCHREIBUNG DER DERZEIT BEVORZUGTEN  
BEISPIELHAFTEN AUSFÜHRUNGSBEISPIELE

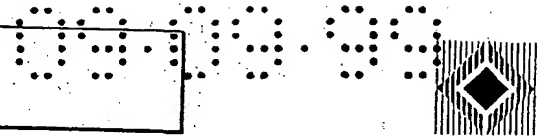
Nachfolgend wird ein Ausführungsbeispiel der vorliegenden Erfindung unter Bezugnahme auf die beiliegende Zeichnung beschrieben.

30 Fig. 1 zeigt ein Blockdiagramm, welches einen Gesamtaufbau eines Frequenzwandlers gemäß einem Ausführungsbeispiel der vorliegenden Erfindung darstellt, bei welchem ein Bezugssignal PB, welches von außen eingegeben wird, einer Frequenzteilung oder Frequenzmultiplikation unterzogen wird, um ein Ausgangssignal (Pulssignal) POUT mit einer vorbestimmten Frequenz zu erzeugen.



Wie es in FIG. 1 gezeigt ist, ist der Frequenzwandler des vorliegenden Ausführungsbeispiels als eine Kombination einer Pulsphasendifferenz-Kodiervorrichtung und einer Oszillationsvorrichtung mit einem Ringoszillator 2, welcher durch eine Vielzahl von Invertierschaltungen gebildet ist, die in der Form eines Rings verbunden sind, und welcher ein Pulssignal durch sequentiell Verzögern von ihm mittels des Invertiervorgangs der Invertierschaltungen in Umlauf hält, wenn ein Steuersignal PA an einem hohen Pegel von außen eingegeben wird, einer Pulsphasendifferenz-Kodierschaltung 4, welche die Phasendifferenz zwischen einem Anstieg und dem nächsten Anstieg (d.h. dem Zyklus) des Bezugssignals PB auf der Grundlage von verzögerten Signalen, die von vorbestimmten einen Teil des Ringoszillators 2 bildenden Invertierschaltungen sequentiell ausgegeben werden, in einen binären digitalen Wert DOUT wandelt, einer Arithmetikschialtung 6, welche den von der Pulsphasendifferenz-Kodierschaltung 4 erzielten binären digitalen Wert DOUT mit einem vorbestimmten Wert multipliziert oder durch diesen teilt, um Steuerdaten CD zu erzeugen, die den Ausgabezyklus eines Pulssignals POUT darstellen, und einer digital gesteuerten Oszillationsschialtung 8 aufgebaut, welche das Pulssignal POUT in einem Zyklus ausgibt, welcher durch Teilen oder Multiplizieren des Bezugssignals PB auf der Grundlage der von der Arithmetikschialtung 6 ausgegebenen Steuerdaten CD und der von dem Ringoszillator 2 sequentiell ausgegebenen verzögerten Signalen erzielt wird.

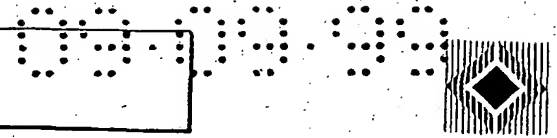
Als erstes beinhaltet der Ringoszillator 2, wie es in FIG. 2 gezeigt ist, zwei negierte UND-Gatter NAND1 und NAND32 mit zwei Eingängen (im weiteren Verlauf einfach als NAND-Gatter bezeichnet) und dreißig Inverter INV2 bis INV32 als die Invertierschaltungen. Der Eingangsanschluß von jeder von diesen Schaltungen ist mit dem Eingangsanschluß der nächsten Stufe verbunden. Ein externes Steuersignal PA wird in den Eingangsanschluß des NAND-Gatters NAND1 eingegeben,



5 welcher nicht mit dem NAND-Gatter NAND32 verbunden ist  
(dieser Eingangsanschluß wird im weiteren Verlauf als ein  
Aktivierungsanschluß bezeichnet), während das Ausgangs-  
signal des Inverters INV18 in den Eingangsanschluß des  
10 NAND-Gatters NAND32 eingegeben wird, welcher nicht mit dem  
Inverter INV31 verbunden ist (dieser Eingangsanschluß wird  
im weiteren Verlauf als ein Steueranschluß bezeichnet). An-  
dererseits sind die Ausgangsanschlüsse der Invertierschal-  
tungen, welche an Stufen angeschlossen sind, welche sich an  
15 geradzahligen Stellen befinden, wenn von dem NAND-Gatter  
NAND1 aus gezählt wird, mit jeweiligen Ausgangsanschlüssen  
Q0 bis Q15 versehen. Jeder dieser Ausgangsanschlüsse Q0 bis  
Q15 ist mit der Pulsphasendifferenz-Kodierschaltung 4 und  
der digital gesteuerten Oszillationsschaltung 8 verbunden.

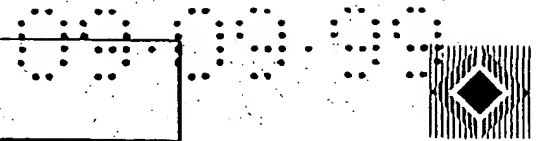
15 Nachfolgend wird die Funktionsweise des Ringoszilla-  
tors 2 mit einem derartigen Aufbau unter Bezugnahme auf  
FIG. 3 beschrieben.

20 Wenn sich das Steuersignal PA an einem niedrigen Pegel  
befindet, wird das Ausgangssignal P01 des NAND-Gatters  
NAND1 der hohe Pegel. Dann wird das Ausgangssignal der In-  
verter an Stufen an geradzahligen Stellen, die von dem  
NAND-Gatter NAND1 aus gezählt werden, der niedrige Pegel,  
25 während das Ausgangssignal der Inverter an Stufen an unge-  
radzahligen Stellen der hohe Pegel wird. Dies führt zu ei-  
nem stabilen Zustand. In diesem Zustand befindet sich das  
Ausgangssignal P18 des Inverters INV18, welches in den  
Steueranschluß des NAND-Gatters NAND32 eingegeben wird, an  
30 dem niedrigen Pegel. Daher gibt das NAND-Gatter NAND32 un-  
geachtet der Tatsache, daß es an einer geradzahligen Stufe  
angeschlossen ist, ausnahmsweise den hohen Pegel aus. An-  
ders ausgedrückt befinden sich bei einem derartigen Aufbau  
die Eingangs- und Ausgangssignale des NAND-Gatters NAND1  
35 beide an dem hohen Pegel und startet das NAND-Gatter NAND1  
einen Invertiervorgang bei dem nachfolgenden Übergang des  
Steuersignals von dem niedrigen Pegel zu dem hohen Pegel.



Wenn der nachfolgende Übergang des Steuersignals PA von dem niedrigen Pegel zu dem hohen Pegel auftritt, wechselt das Ausgangssignal P01 des NAND-Gatters NAND1 von dem hohen Pegel zu dem niedrigen Pegel. Als Ergebnis wird das Ausgangssignal der nachfolgenden Inverter sequentiell invertiert. Das Ausgangssignal der Inverter an ungeradzahli-  
5 Stufen wechselt von dem hohen Pegel zu dem niedrigen Pegel und das Ausgangssignal der Inverter an geradzahli-  
10 Stufen wechselt von dem niedrigen Pegel zu dem hohen Pegel. In der folgenden Beschreibung wird eine Flanke eines Pulssignals, welches in dem Ringoszillator 2 als abfallende Ausgangssignale der Invertierschaltungen an ungeradzahli-  
15 Stufen und als ansteigende Ausgangssignale der Invertierschaltungen an geradzahli-  
Stufen sequentiell umläuft, als eine Hauptflanke bezeichnet und durch die Punkte in FIG. 3 bezeichnet.

Wenn diese Hauptflanke an dem Inverter INV18 ankommt, um einen Übergang des Ausgangssignals P18 des Inverters INV18 von dem niedrigen Pegel zu dem hohen Pegel zu bewirken, werden, da sich der Ausgangspegel des Inverters INV3 immer noch an dem hohen Pegel befindet, beide von zwei Eingangssignalen des NAND-Gatters NAND32 der hohe Pegel. Daher  
25 startet das NAND-Gatter 32 einen Invertiervorgang, wobei sein Ausgangssignal von dem hohen Pegel zu dem niedrigen Pegel invertiert wird. In der folgenden Beschreibung wird, wenn die Hauptflanke in das NAND-Gatter NAND32 über dessen Steueranschluß eingegeben wird und von dem NAND-Gatter  
30 NAND32 invertiert wird, um eine Flanke eines Pulssignals zu werden, welches in dem Ringoszillator 2 als ansteigende Ausgangssignale der Invertierschaltungen an ungeradzahli-  
Stufen und als abfallende Ausgangssignale der Invertierschaltungen an geradzahli-  
35 Stufen sequentiell umläuft, eine derartige Flanke als eine Rücksetzflanke bezeichnet und durch X in FIG. 3 bezeichnet. Diese Rücksetzflanke wird in dem Ringoszillator 2 zusammen mit der von dem NAND-Gat-



ter NAND1 erzeugten Hauptflanke in Umlauf gehalten.

Die Hauptflanke wird sequentiell von dem den Inverter  
INV18 nachfolgenden Inverter invertiert und als Ergebnis  
5 der Inversion des Ausgangssignals des Inverters INV31 von  
dem hohen Pegel zu dem niedrigen Pegel in das NAND-Gatter  
NAND32 eingegeben. Gleichzeitig wird, da sich das Eingangs-  
signal an dem Steueranschluß des NAND-Gatters NAND32, d.h.  
das Ausgangssignal des Inverters INV18, an dem hohen Pegel  
10 befindet, die sequentielle Inversion der Hauptflanke an dem  
NAND-Gatter NAND32 fortgesetzt und starten die nachfolgen-  
den Inverter mit dem NAND-Gatter NAND1, um die Hauptflanke  
in dem Ringoszillator 2 weiterzuleiten.

Der Grund, warum sich das Ausgangssignal des Inverters  
INV18 immer noch an dem hohen Pegel befindet, wenn die  
Hauptflanke das NAND-Gatter NAND32 über die Inverter INV19  
bis INV31 erreicht hat, wie es zuvor beschrieben worden  
ist, ist die Tatsache, daß die Anzahl der Inverter, welche  
20 von INV19 bis INV31 reicht, 13 ist, während die Anzahl der  
Inverter in dem Bereich von dem NAND-Gatter NAND32 bis zu  
dem Inverter INV18 19 ist, und daher die Hauptflanke in das  
NAND-Gatter NAND32 eingegeben wird, bevor die Rücksetz-  
flanke von dem NAND-Gatter NAND32 zu dem Inverter INV18  
25 weitergeleitet wird.

Andererseits erreicht die von dem NAND-Gatter NAND32  
erzeugte Rücksetzflanke den Inverter INV18 erneut über In-  
verter einschließlich des NAND-Gatters NAND1, um den Sig-  
30 nalpegel an dem Steueranschluß des NAND-Gatters NAND32 von  
dem hohen Pegel zu dem niedrigen Pegel zu invertieren. Zu  
diesem Zeitpunkt wird sich, da das von dem Inverter INV31  
in das NAND-Gatter NAND32 eingegebene Signal bereits durch  
die Hauptflanke zu dem niedrigen Pegel geändert worden ist,  
35 das Ausgangssignal des NAND-Gatters NAND32 nicht ändern,  
und wird die Rücksetzflanke sequentiell über den normalen  
Weg von dem Inverter INV18 und über die Inverter INV19 bis





INV31 an das NAND-Gatter NAND32 weitergeleitet.

Wenn die Rücksetzflanke an dem Inverter INV31 ankommt, wird das von dem Inverter INV31 in das NAND-Gatter NAND32 eingegebene Signal von dem niedrigen Pegel zu dem hohen Pegel invertiert. Zum im wesentlichen gleichen Zeitpunkt kommt die Hauptflanke an dem Inverter INV18 an, um das in den Steueranschluß des NAND-Gatters NAND32 eingegebene Signal ebenso von dem niedrigen Pegel zu dem hohen Pegel zu invertieren. Dies ist so, da die Haupt- und Rücksetzflanken genau durch die gleiche Anzahl von Invertierschaltungen gehen, bevor sie an dem NAND-Gatter NAND32 ankommen. Genauer gesagt geht die Hauptflanke von dem NAND-Gatter NAND1, um eine Runde durch den Ringoszillator 2 zu machen, über den normalen Weg und kommt nach erneutem Gehen durch das NAND-Gatter NAND1 an dem Inverter INV18 an, während die Rücksetzflanke als Ergebnis des Aktivierens des Invertiervorgangs des NAND-Gatters NAND32 erzeugt wird, nachdem die Hauptflanke von dem NAND-Gatter NAND1 an dem Inverter INV18 angekommen ist und eine Runde über den normalen Weg durch den Ringoszillator 2 macht.

Bei dem Ringoszillator 2 in dem vorliegenden Ausführungsbeispiel ist die Inversionsreaktionszeit der Inverter an geradzahligen Stufen derart voreingestellt, daß das Ausgangssignal eines Abfalls schneller als das Ausgangssignal eines Anstiegs ist, und umgekehrt ist die Inversionsreaktionszeit der Inverter an ungeradzahligen Stufen derart voreingestellt, daß das Ausgangssignal eines Anstiegs schneller als das Ausgangssignal eines Abfalls ist. Als Ergebnis kommt die Rücksetzflanke geringfügig früher als die Hauptflanke an dem NAND-Gatter NAND32 an.

Daher befindet sich, wenn die Rücksetzflanke das Ausgangssignal des Inverters INV31 von dem niedrigen Pegel zu dem hohen Pegel invertiert, das in den Steuereingang des NAND-Gatters NAND32 eingegebene Signal immer noch an dem



niedrigen Pegel. Daher wird das Ausgangssignal des NAND-Gatters NAND32 nicht invertiert und wird das Ausgangssignal des NAND-Gatters NAND32 von dem hohen Pegel zu dem niedrigen Pegel invertiert, wenn die Hauptflanke mit einer geringen Verzögerung an dem Inverter INV18 ankommt, um das in den Steueranschluß des NAND-Gatters NAND32 eingegebene Signal von dem niedrigen Pegel zu dem hohen Pegel zu invertieren. Daher verschwindet die Rücksetzflanke an diesem Punkt vorübergehend und wird von der Hauptflanke erneut erzeugt.

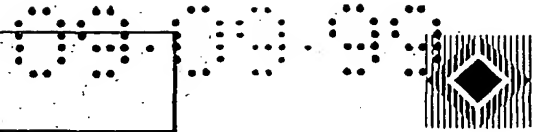
10

Danach wird der zuvor beschriebene Vorgang wiederholt und wird die Rücksetzflanke zu jedem Zeitpunkt erneut erzeugt, zu dem die Hauptflanke eine Runde macht und zusammen mit der Hauptflanke um den Ringoszillator geht. Wenn das Steuersignal der niedrige Pegel wird, wird eine derartige Reihe von Vorgängen gestoppt und wird der zuvor beschriebene Anfangszustand wiederhergestellt.

Wie es zuvor beschrieben worden ist, werden bei dem Ringoszillator 2 in dem vorliegenden Ausführungsbeispiel zwei Pulsflanken (Hauptflanke und Rücksetzflanke), welche zu verschiedenen Zeiten erzeugt werden, auf dem gleichen Umlaufpfad in Umlauf gehalten. Das Ausgangssignal des NAND-Gatters NAND1 wird durch die Rücksetzflanke invertiert, bevor die Hauptflanke, welche von ihm selbst erzeugt worden ist, zu ihm zurückkehrt, während das Ausgangssignal des NAND-Gatters NAND32 durch die Hauptflanke invertiert wird, bevor die Rücksetzflanke, welche von ihm selbst erzeugt worden ist, zu ihm zurückkehrt. Daher wird ein Pulssignal konstant in Umlauf gehalten. Jeder des Ausgangsanschlusses Q2 bis Q15 erzeugt ein Pulssignal, dessen Zyklus gleich einer Periode 32mal der Zeit des Inversionsvorgangs an jeder der Invertierschaltungen  $T_d$  ( $32 \cdot T_d$ ) ist.

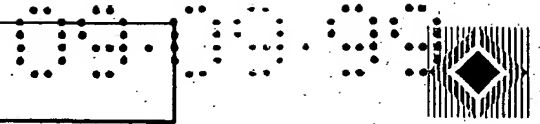
35

Nachfolgend erfolgt eine Beschreibung hinsichtlich der Pulsphasendifferenz-Kodierschaltung 4, welche eine Phasendifferenz zwischen Bezugssignalen PB unter Verwendung des



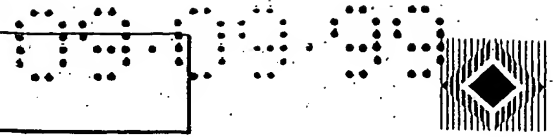
zuvor beschriebenen Ringoszillators 2 in einen binären digitalen Wert DOUT wandelt.

Wie es in FIG. 4 gezeigt ist, weist die Pulsphasendifferenz-Kodierschaltung 4 in dem vorliegenden Ausführungsbeispiel eine Pulsauswahl/kodierschaltung 12, welche die Ausgangssignale der Ausgangsanschlüsse Q0 bis Q15 des Ringoszillators 2 aufnimmt, die Invertierschaltung in dem Ringoszillator 2 erfaßt, an welcher die Hauptflanke angekommen ist, wenn das Bezugssignal PB von dem niedrigen Pegel zu dem hohen Pegel wechselt (der Zeitpunkt, zu dem ein Anstieg des Bezugssignals PB auftritt), und eine derartige Position in einen binären digitalen Wert kodiert, welcher aus vier Bits (D0 bis D3) besteht, einen ersten Zähler 14, welcher aus dem Ausgangssignal P32 des NAND-gatters NAND32 zählt, das aus dem Ausgangsanschluß Q15 ausgegeben wird, wie oft die Hauptflanke in dem Ringoszillator 2 einen Umlauf gemacht hat, eine erste Signalspeicherschaltung 16, welche das aus 10 Bits bestehende Ausgangssignal von dem ersten Zähler 14 zu dem Zeitpunkt speichert, zu dem ein Anstieg des Bezugssignals PB auftritt, einen zweiten Zähler 18, welcher aus dem Ausgangssignal P16 des Inverters INV16 in dem Ringoszillator 2 zählt, das aus dem Ausgangsanschluß Q7 ausgegeben wird, wie oft die Hauptflanke einen Umlauf in dem Ringoszillator 2 gemacht hat, eine zweite Signalspeicherschaltung 20, welche das aus 10 Bits bestehende Ausgangssignal aus dem zweiten Zähler 18 zu dem Zeitpunkt speichert, zu dem ein Anstieg des Bezugssignals PB auftritt, einen Multiplexer 22, in welchen das aus 10 Bits bestehende Ausgangssignal von jeder der ersten Signalspeicherschaltung 16 und der zweiten Signalspeicherschaltung 20 eingegeben wird und welcher das aus 10 Bits bestehende Ausgangssignal von entweder der ersten Signalspeicherschaltung 16 oder der zweiten Signalspeicherschaltung 20 auf der Grundlage des höchstwertigen Bits (MSB) des binären digitalen 4-Bit-Werts (D0 bis D3) auswählt, das von der Pulsauswahl/kodierschaltung 12 ausgegeben wird, und es als Bitda-



ten hoher Wertigkeit (D4 bis D13) für den binären digitalen 4-Bit-Wert (D0 bis D3) ausgibt, der von der Pulsauswahl/kodierschaltung 12 ausgegeben wird, einen Addierer 24, welcher Bitdaten D14 hoher Wertigkeit mit einem Wert von 1 (4000H) zu einem binären digitalen 14-Bit-Wert (D0 bis D13) addiert, der aus dem binären digitalen 10-Bit-Wert (D4 bis D13) aus dem Multiplexer 22 und dem binären digitalen 4-Bit-Wert (D0 bis D3) aus der Pulsauswahl/kodierschaltung 12 besteht, und das Ergebnis als einen binären digitalen 15-Bit-Wert (D0 bis D14) ausgibt, eine Daten-Signalspeicherschaltung 26, welche den zuvor beschriebenen binären digitalen 14-Bit-Wert (D0 bis D13) zum dem Zeitpunkt speichert, zu dem ein Anstieg des Bezugssignals PB auftritt, und einen Subtrahierer 28 auf, welcher den binären digitalen Wert (D0 bis D13), der von der Daten-Signalspeicherschaltung 26 zu dem Zeitpunkt des vorhergehenden Anstiegs des Bezugssignals PB gespeichert wird, von dem binären digitalen 15-Bit-Wert (D0 bis D14) subtrahiert, der von dem Addierer 24 ausgegeben wird, um einen binären digitalen Wert DOUT zu erzeugen, welcher die Periode zwischen einem Anstieg des Bezugssignals PB und dem nächsten Anstieg von diesem (den Zyklus des Bezugssignals PB) darstellt.

Wie es in FIG. 5 gezeigt ist, weist die Pulsauswahl/kodierschaltung 12 D-Flip-Flops DFF0 bis DFF15, welche Eingangsanschlüsse D aufweisen, welche mit jeweiligen der Ausgangsanschlüsse Q0 bis Q15 des Ringoszillators 2 verbunden sind und welche die jeweiligen Pegel der Signale an den Ausgangsanschlüssen Q0 bis Q15 bei einem Anstieg des Bezugssignals PB speichern, UND-Gatter AND0 bis AND15, in welche das Ausgangssignal von D-Flip-Flops DFF0 bis DFF15 wie es an der jeweiligen Gruppe von Eingangsanschlüssen ist, eingegeben wird und in welche das Ausgangssignal der nachfolgenden D-Flip-Flops DFF1 bis DFF15 und DFF0 eingegeben wird, nachdem es an einer anderen Gruppe von Eingangsanschlüssen invertiert worden ist, und einen Kodierer 12a auf, welcher die Position eines UND-Gatters ANDn, dessen

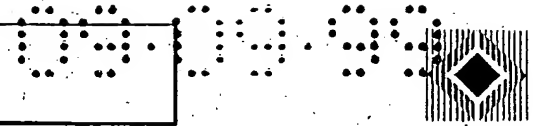


Ausgangspegel hoch ist, unter den UND-Gattern UNDO bis UND15 in einen binären digitalen 4-Bit-Wert (D0 bis D3) kodiert.

5 Bei der Pulsphasendifferenz-Kodierschaltung 4 in dem vorliegenden Ausführungsbeispiel mit einem derartigen Aufbau, wie er in FIG. 6 gezeigt ist, werden die Zähler 14 und 18 zum Zählen freigegeben, wenn der Ringoszillator 2 durch das Steuersignal PA aktiviert wird, um ein Umlaufen eines  
10 Pulssignals zu starten; zählt der zweite Zähler 18 aufwärts, wenn die Hauptflanke durch den Inverter INV16 an der 16ten Stufe des Ringoszillators 2 geht; und zählt der erste Zähler 14 aufwärts, wenn die Hauptflanke durch das NAND-Gatter NAND32 an der 32ten Stufe des Ringoszillators 2  
15 geht. Genauer gesagt ist, wie es in FIG. 6 gezeigt ist, der Zeitpunkt, zu dem sich ein Ausgangssignal des ersten Zählers 14 (C10 bis C19) ändert, vom dem Zeitpunkt, zu dem sich das Ausgangssignal des zweiten Zählers 18 (C20 bis C29) ändert, um eine Zeitdauer verschoben, welche die  
20 Hauptflanke benötigt, um halb um den Ringoszillator 2 zu laufen.

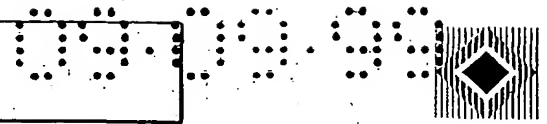
Wenn ein Anstieg des Bezugssignals PB auftritt, während der Ringoszillator 2 in einem derartigen Umlaufbetrieb  
25 arbeitet, speichert die erste Signalspeicherschaltung 16 das Ausgangssignal des ersten Zählers 14 (C10 bis C19) und speichert die zweite Signalspeicherschaltung 20 das Ausgangssignal des zweiten Zählers 18 (C20 bis C29).

30 Andererseits wird, wenn ein Anstieg des Bezugssignals PB auftritt, wie es zuvor beschrieben worden ist, ein Taktsignal an die D-Flip-Flops DFF0 bis DFF15 in der Pulsauswahl/kodierschaltung 12 angelegt. Zu diesem Zeitpunkt speichern die D-Flip-Flops DFF0 bis DFF15 die Signalpegel an  
35 den Ausgangsanschlüssen Q0 bis Q15 des Ringoszillators und geben diese aus.



Es wird zum Beispiel angenommen, daß das Bezugssignal PB zu einem Zeitpunkt  $t_1$  ansteigt, wie es in FIG. 6 gezeigt ist, d.h. daß es ansteigt, wenn sich die Hauptflanke an dem NAND-Gatter NAND32 an der 32ten Stufe befindet. Dann hat das Ausgangssignal des NAND-Gatters NAND32 zu dem hohen Pegel gewechselt, befindet sich jedoch das Ausgangssignal des Inverters INV2 an der zweiten Stufe immer noch an dem niedrigen Pegel. Daher wird lediglich das Ausgangssignal des am sich weitesten rechts befindenden UND-Gatters AND15 unter den UND-Gattern AND0 bis AND15, die in FIG. 4 gezeigt sind, zu dem Kodierer 12a ausgegeben.

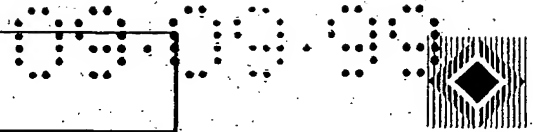
Genauer gesagt wird das durch einen Inverter an einer geradzahligen Stufe in dem Ringoszillator 2 ausgegebene Pulssignal in die D-Flip-Flops DFF0 bis DFF15 der Kodierschaltung 12 eingegeben. Da dieses Signal an der Hauptflanke ansteigt und an der Rücksetzflanke abfällt, wird das Ausgangssignal eines D-Flip-Flops DFFn unter den D-Flip-Flops DFF0 bis DFF15, welches das Ausgangssignal aus einer Invertierschaltung in dem Ringoszillator 2 speichert, an welcher die Hauptflanke angekommen ist, der hohe Pegel, während das Ausgangssignal des nächsten D-Flip-Flops DFF(n+1) der niedrige Pegel wird. Bei dem Aufbau des vorliegenden Ausführungsbeispiels wird das Ausgangssignal von jedem von zwei aufeinanderfolgenden D-Flip-Flops unter den D-Flip-Flops DFF0 bis DFF15 in die UND-Gatter AND0 bis AND15 eingegeben; wird lediglich das Ausgangssignal eines UND-Gatters ANDn, das einem D-Flip-Flop DFFn zugehörig ist, dessen Ausgangssignal sich an dem hohen Pegel befindet, und welchem ein D-Flip-Flop DFF(n+1) folgt, dessen Ausgangssignal sich auf dem niedrigen Pegel befindet, der hohe Pegel; und wird das Signal eines derartigen UND-Gatters zu dem Kodierer 12a ausgegeben, um zu ermöglichen, daß der Kodierer 12a einen binären digitalen Wert (D0 bis D3) erzeugt, welcher die Position der Invertierschaltung darstellt, an welcher die Hauptflanke in dem Ringoszillator 2 angekommen ist. Zum Beispiel gibt der Kodierer 12a, wenn



das Bezugssignal PB ansteigt, wenn die Hauptflanke an dem NAND-Gatter NAND32 an der 32ten Stufe angekommen ist, um den Ausgangspegel des UND-Gatters- AND15 auf einen hohen Zustand zu bringen, wie es zuvor beschrieben worden ist, einen binären digitalen Wert (1111) aus, welcher eine binäre Zahl ist, die durch Kodieren eines Werts 15 erzielt wird, welcher der Position des UND-Gatters entspricht.

Bei der Pulsphasendifferenz-Kodierschaltung 4 in dem vorliegenden Ausführungsbeispiel wird das MSB des binären digitalen Werts (D0 bis D4), das von der Pulsauswahl/kodierschaltung 12 ausgegeben wird, d.h. D3, in den Multiplexer 22 eingegeben. Der Multiplexer 22 gibt das 10-Bit-Ausgangssignal der ersten Signalspeicherschaltung 16 (C10 bis C19) als einen binären digitalen 10-Bit-Wert (D4 bis D13) aus, wenn der Wert von D3 1 beträgt, und gibt das 10-Bit-Ausgangssignal der zweiten Signalspeicherschaltung 20 als einen binären digitalen 10-Bit-Wert (D4 bis D13) aus, wenn der Wert von D3 0 beträgt.

Zum Beispiel ist, wenn das Bezugssignal PB zu dem in FIG. 6 gezeigten Zeitpunkt t1 ansteigt, die Hauptflanke an dem NAND-Gatter NAND32 an der 32ten Stufe des Ringoszillators 2 angekommen. Dann beträgt der Wert von D3, der von der Pulsauswahl/kodierschaltung 12 ausgegeben wird, 1. In diesem Fall wird das 10-Bit-Ausgangssignal der ersten Signalspeicherschaltung 16 ausgewählt und gibt der Multiplexer 22 (0000000001) aus. Wenn das Bezugssignal PB zu dem in FIG. 6 gezeigten Zeitpunkt t2 ansteigt, ist die Hauptflanke bereits durch den Inverter INV2 an der zweiten Stufe des Ringoszillators 2 gegangen und ist nicht an dem Inverter INV16 an der 16ten Stufe angekommen. Dann beträgt der Wert von D3, der von der Pulsauswahl/kodierschaltung 12 ausgegeben wird, 0. In diesem Fall wird das 10-Bit-Ausgangssignal der zweiten Signalspeicherschaltung 20 (C20 bis C29) ausgewählt und gibt der Multiplexer 22 (0000000010) aus.

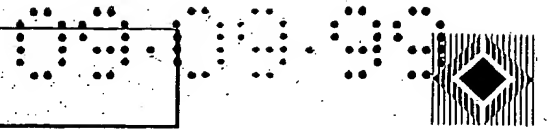


Wie es zuvor beschrieben worden ist, sind bei der Pulsphasendifferenz-Kodierschaltung 4 in dem vorliegenden Ausführungsbeispiel zwei Zähler 14 und 18 und zwei Signalspeicherschaltungen 16 und 20 vorgesehen und wählt der Multiplexer 22 das Ausgangssignal der zweiten Signalspeicherschaltung 20 aus, wenn der Wert des MSB des binären digitalen Werts (D0 bis D3), der von der Pulsauswahl/kodierschaltung 12 ausgegeben wird, 0 ist, und wählt das Ausgangssignal der ersten Signalspeicherschaltung 16 aus, wenn der Wert des MSB des binären digitalen Werts (D0 bis D3) 1 ist. Dies ist so, da es eine bestimmte Zeitdauer dauert, bevor das Ausgangssignal der Zähler 14 und 18 stabilisiert ist. Bei einem derartigen Aufbau wird immer ein stabiler und genauer Zählwert aus dem Multiplexer 22 durch Auswählen des Zählers ausgegeben, in welchen das Ausgangssignal der Invertierschaltung, das der Position der Hauptflanke zu dem Zeitpunkt eines Anstiegs des Bezugssignals PB um mindestens einen halben Umlauf des Ringoszillators 2 vorangeht, als ein Taktsignal eingegeben wird.

Als nächstes wird der binäre digitale 10-Bit-Wert (D4 bis D13), der von dem Multiplexer 22 ausgegeben wird, wie es zuvor beschrieben worden ist, zusammen mit dem binären digitalen 4-Bit-Wert (D0 bis D3), der von der Pulsauswahl/kodierschaltung 12 ausgegeben wird, als ein binärer digitaler 14-Bit-Wert (D0 bis D13) in den Addierer 24 und die Daten-Signalspeicherschaltung 26 eingegeben. Der Addierer 24 addiert Bitdaten D14 hoher Wertigkeit mit einem Wert von 1 (=4000(HEX)) zu diesem binären digitalen 14-Bit-Wert (D0 bis D13) und gibt einen binären digitalen 15-Bit-Wert (D0 bis D14) als Ergebnis einer derartigen Addition zu dem Subtrahierer 28 aus.

Die Daten-Signalspeicherschaltung 26 speichert den binären digitalen 14-Bit-Wert (D0 bis D13), der von der Pulsphasendifferenz-Kodierschaltung 12 und den Multiplexer 22 eingegeben wird, zu jedem Zeitpunkt, zu dem das Bezugs-





signal PB ansteigt, und gibt die gespeicherten binären digitalen Wert (D0 bis D13) zu dem Subtrahierer 28 aus.

Da die von der Daten-Signalspeicherschaltung 26 gespeicherten Daten zu diesem Zeitpunkt ein binärer digitaler Wert (D0 bis D13) sind, welcher bereits von dem Multiplexer 22 und der Pulsauswahl/kodierschaltung 12 zu dem Zeitpunkt eines Anstiegs des Bezugssignals PB ausgegeben worden sind, sind die Daten der binäre digitale Wert (D0 bis D13), welcher von dem Multiplexer 22 und der Pulsauswahl/kodierschaltung 12 zu dem Zeitpunkt des vorhergehenden Anstiegs des Bezugssignals PB (d.h. in dem vorhergehenden Zyklus) erzeugt worden ist. Normalerweise werden der binäre digitale Wert (D0 bis D13) des Bezugssignals PB, der von dieser Daten-Signalspeicherschaltung in dem vorhergehenden Zyklus gespeichert worden ist, und der binäre digitale 15-Bit-Wert (D0 bis D14), welcher in dem derzeitigen Zyklus durch einen Anstieg des Bezugssignals PB erzeugt worden ist und welcher durch den Addierer 24 zum dem höchstwertigen Bit D14 addiert worden ist, in den Subtrahierer 28 eingegeben.

Der Subtrahierer 28 subtrahiert den binären digitalen Wert (D0 bis D13) in dem vorhergehenden Zyklus des Bezugssignals PB, der von der Daten-Signalspeicherschaltung 26 eingegeben wird, von dem neuesten binären digitalen Wert (D0 bis D14), der von dem Addierer 24 eingegeben wird, berechnet die Differenz und gibt das Berechnungsergebnis als einen binären digitalen 14-Bit-Wert DOUT aus, welcher den Zyklus des Bezugssignals PB darstellt.

Genauer gesagt wird bei der Pulsphasendifferenz-Kodierschaltung 4 in dem vorliegenden Ausführungsbeispiel die Anzahl der Umläufe der Hauptflanke in dem Ringoszillator 2, nachdem der Ringoszillator 2 durch das Steuersignal PA aktiviert worden ist; ein binärer digitaler Wert, der die Zeit eines Anstiegs des Bezugssignals PB zu jedem Zeit-

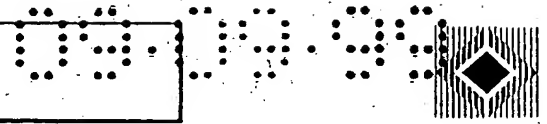


punkt, zu dem das Bezugssignal PB ansteigt, aus dem Ergebnis des Zählens darstellt und ein binärer digitaler Wert, der die Position der Hauptflanke in dem Ringoszillator 2 darstellt, der von Pulsauswahl/kodierschaltung 12 ausgegeben wird; und die Differenz zwischen dem derart erzeugten neuesten binären digitalen Wert und dem binären digitalen Wert, welcher vorher erzeugt worden ist, als ein binärer digitaler Wert DOUT, welcher den Zyklus des Steuersignals PA darstellt, zu der Arithmetikschialtung 6 ausgegeben.

Dies ermöglicht es, daß ein Pulssignal-Umlaufvorgang eines Ringoszillators andauernd durchgeführt wird, ohne daß die Notwendigkeit besteht, daß der Ringoszillator zu jedem Zeitpunkt zurückgesetzt werden muß, zu dem eine Phasendifferenz zwischen Eingangssignalen kodiert wird, wie bei herkömmlichen Pulsphasendifferenz-Kodierschaltungen.

Wenn der Subtrahierer 28 die Differenz zwischen dem zu dem Zeitpunkt eines Anstiegs des Bezugssignals PB erzeugten neuesten binären digitalen Wert und dem vorhergehend erzeugten binären digitalen Wert berechnet, addiert der Addierer 24 das höchstwertige Bit D14 mit einem Wert von 1 zu dem neuesten binären digitalen Wert, um einen binären digitalen 15-Bit-Wert zu erzielen. Der Grund hierfür ist, daß die Anzahl der Umläufe eines Pulssignals in dem Ringoszillator 2 ansonsten zu dem Minimalwert (=0) zurückkehren wird, wenn der Ausgangswert von ihm den Maximalwert (=3FFF(HEX)) erreicht, da die Anzahl durch die Zähler 14 und 18 andauernd gezählt wird.

Genauer gesagt überschreitet, wenn sich das Ausgangssignal der Zähler 14 und 18 während er Periode zwischen einem Anstieg des Bezugssignals PB und dem nächsten Anstieg von diesem von dem Maximalwert zu dem Minimalwert ändert, der vorhergehende binäre digitale Wert (D0 bis D13), der von der Daten-Signalspeicherschaltung 23 gespeichert wird, den von dem Multiplexer 22 und der Pulsaus-



wahl/kodierschaltung 12 erzielten neuesten binären digitalen Wert (D0 bis D13). Wenn der Erstere wie er ist von dem Letzteren subtrahiert wird, führt die Subtraktion zu einem negativen Wert. Gemäß dem vorliegenden Ausführungsbeispiel  
5 wird ein dem Zyklus des Bezugssignals PB entsprechender binärer digitaler Wert DOUT immer durch Addieren der höchstwertigen Bitdaten D14 mit einem Wert von 1 zu dem neuesten binären digitalen Wert (D0 bis D13), um einen binären digitalen 15-Bit-Wert (D0 bis D14) zu erzeugen, durch Subtra-  
10 hieren des von der Daten-Signalspeicherschaltung 26 gespeicherten binären digitalen Werts (D0 bis D13) von diesem Wert und durch Ausgeben lediglich der 14 Bits niedriger Wertigkeit des Subtraktionsergebnisses erzielt.

15 Als nächstes wird der binäre digitale Wert DOUT, welcher das von der Pulsphasendifferenz-Kodierschaltung 4 erzielte Bezugssignal PB darstellt, wie es zuvor beschrieben worden ist, mit einem vorbestimmten Wert an der Arithmetik-  
20 schaltung 6 multipliziert oder durch diesen dividiert und wird das Ergebnis als Steuerdaten CD (14 Bits) für die digital gesteuerte Oszillationsschaltung 8 ausgegeben.

Nach einem Aufnehmen der Steuerdaten CD gibt die digital gesteuerte Oszillationsschaltung 8 ein Pulssignal  
25 (Oszillationssignal) POUT in einem Zyklus aus, der den Steuerdaten CD entspricht. Genauer gesagt gibt die digital gesteuerte Oszillationsschaltung 8 das Pulssignal POUT in einem Zyklus aus, welcher durch das Multiplizieren des Zyklus des Bezugssignals PB mit dem vorbestimmten Wert erzielt wird, d.h. einem Zyklus, der durch Teilen der Fre-  
30 quenz des Bezugssignals PB durch den vorbestimmten Wert erzielt wird, wenn die Steuerdaten CD ein Wert sind, der durch Multiplizieren des binären digitalen Werts DOUT mit dem vorbestimmten Wert erzielt wird, und gibt das Puls-  
35 signal POUT in einem Zyklus aus, der durch Teilen des Zyklus des Bezugssignals PB durch den vorbestimmten Wert erzielt wird, d.h. einem Zyklus, der durch Multiplizieren der



Frequenz des Bezugssignals PB mit dem vorbestimmten Wert erzielt wird, wenn die Steuerdaten CD ein Wert sind, der durch Teilen des binären digitalen Werts DOUT durch den vorbestimmten Wert erzielt wird.

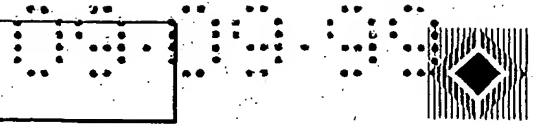
5

Nachfolgend wird der Aufbau und die Funktionsweise der digital gesteuerten Oszillationsschaltung 8 beschrieben.

Wie es in FIG. 7 gezeigt ist, weist die digital gesteuerte Oszillationsschaltung 8 in dem vorliegenden Ausführungsbeispiel eine Pulsauswahlvorrichtung 32, welche Signale von dem Ausgangsanschluß Q0 bis Q15 des Ringoszillators 2 aufnimmt, das Ausgangssignal eines vorbestimmten Ausgangsanschlusses auswählt, der später zu beschreibenden Auswahldaten CDLN entspricht, und das Signal als ein Auswahlsignal PSO ausgibt, einen Abwärtszähler 34, in welchem zehn Bits hoher Wertigkeit der von der Arithmetikschaltung 6 eingegebenen 14-Bit-Steuerdaten CD im voraus als Zählerdaten CDH eingestellt sind und welcher zu dem Zeitpunkt eines Anstiegs des Ausgangssignals des Ausgangsanschlusses Q7 des Ringoszillators 2 zählt, den Pegel eines Eingangssignals CN1 auf einen hohen Zustand setzt, wenn der Zählwert DCD 1 ist, und den Pegel eines Ausgangssignals CN2 auf einen hohen Zustand setzt, wenn der Zählwert DCD 0 ist, eine Signalspeicherschaltung 36, welche durch ein von außen eingegebenes Rücksetzsignal CST zurückgesetzt wird, wenn die Oszillationsschaltung aktiviert wird, und welche vier Bits niedriger Wertigkeit der 14-Bit-Steuerdaten CD speichert, die von der Arithmetikschaltung 6 zu dem Zeitpunkt eines Anstiegs des Pulssignals POUT als Bezugsauswahldaten CDL eingegeben werden, eine Signalspeicherschaltung 38, welche ebenso durch das von außen eingegebene Rücksetzsignal CST zurückgesetzt wird und welche die Auswahldaten CDLN speichert, die zu dem Zeitpunkt eines Anstiegs des Pulssignals POUT in die Pulsauswahlvorrichtung 32 eingegeben worden sind, und die gespeicherten Daten als alte Auswahldaten CDLB ausgibt, einen Addierer 40, welcher die von



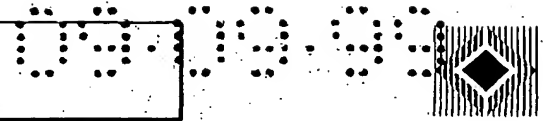
der Signalspeicherschaltung 38 ausgegebenen alten Auswahl-  
daten CDLB und die von der Signalspeicherschaltung 36  
ausgegebenen Bezugsauswahldaten CDL addiert, um 5-Bit-Sum-  
mendaten CDLA zu erzeugen, die 4 Bits niedriger Wertigkeit  
5 von diesen als die zuvor beschriebenen Auswahl-  
daten CDLN zu der Pulsauswahlvorrichtung 32 und der Signalspeicherschaltung  
38 ausgibt und den Wert der vier Bits niedriger Wertigkeit  
der Summendaten CDLA (d.h. das höchstwertige Bit  
der Auswahl-  
daten CDLN) als ein Signal MSB ausgibt, eine  
10 Auswahlvorrichtung 42, welche das Ausgangssignal CN1 des  
Abwärtszählers 34 auswählt, wenn sich ein Übertragssignal  
CY an einem niedrigen Pegel befindet, das Ausgangssignal  
CN2 des Abwärtszählers 34 auswählt, wenn sich umgekehrt das  
Übertragssignal CY an einem hohen Pegel befindet, und das  
15 ausgewählte Signal als ein Ausgangssignal SL1 ausgibt, wo-  
bei das Übertragssignal das höchstwertige Bit der von dem  
Addierer 40 ausgegebenen 5-Bit-Summendaten CDLA ist, ein  
ODER-Gatter ORa, welches das zuvor beschriebene Rücksetz-  
signal CST und das Ausgangssignal SL1 der Auswahlvorrichtung  
20 42 einer ODER-Verknüpfung unterzieht und ein Signal,  
welches eine logische ODER-Verknüpfung darstellt, als ein  
Setzsignal für den Abwärtszähler 34 ausgibt, eine Verzöge-  
rungsleitung 44, welche das Ausgangssignal SL1 der Auswahl-  
vorrichtung 34 um eine Zeit T1 verzögert, die ein Puls-  
25 signal benötigt, um einen halben Umlauf durch den Ringos-  
zillator 2 zu machen, und ein verzögertes Signal DL1 aus-  
gibt, eine Auswahlvorrichtung 46, welche das Ausgangssignal  
SL1 der Auswahlvorrichtung 42 auswählt, wenn sich das von  
dem Addierer 40 ausgegebene Signal MSB an dem niedrigen  
30 Pegel befindet, die Ausgabe des verzögerten Signals DL1 aus  
der Verzögerungsleitung 44 auswählt, wenn sich umgekehrt  
das Signal MSB an dem hohen Pegel befindet, und das verzö-  
gerte Signal als ein Ausgangssignal SL2 ausgibt, ein D-  
Flip-Flop DFFa mit einem Löscheingang, welches das Aus-  
gangssignal SL2 der Auswahlvorrichtung 46 zu dem Zeitpunkt  
35 des Anstiegs des von der Pulsauswahlvorrichtung 32 ausgege-  
benen Auswahlsignals PSO speichert und ein Speichersignal



QOUT ausgibt, eine Verzögerungsleitung 48, welche das Speichersignal QOUT von dem D-Flip-Flop DFFa um eine vorbestimmte Zeit T2 verzögert und ein verzögertes Signal DL2 ausgibt, und ein UND-Gatter ANDa, welches das von der Verzögerungsleitung 48 ausgegebene verzögerte Signal DL2 und das Speichersignal QOUT von dem D-Flip-Flop DFFa einer UND-Verknüpfung unterzieht und ein Signal, welches die logische UND-Verknüpfung darstellt, als ein Löschesignal für das D-Flip-Flop DFFa ausgibt, und einen Verstärker 50 auf, welcher das Speichersignal QOUT von dem D-Flip-Flop DFFa verstärkt und es als das Pulssignal POUT ausgibt.

Die Ausgangssignale von den an dem Ringoszillator 2 vorgesehenen Ausgangsanschlüssen Q0 bis Q15 werden in die Pulsauswahlvorrichtung 32 eingegeben und die Pulsauswahlvorrichtung 32 wählt unter diesen Signalen das Signal aus und gibt es aus, dem eine Zahl zugewiesen ist, die den Auswahldaten CDLN entspricht, welche die vier Bits niedriger Wertigkeit der von dem Addierer 40 erzeugten Summendaten CDLA (5 Bits) sind. Zum Beispiel gibt die Pulsauswahlvorrichtung 32 das Ausgangssignal des Ausgangsanschlusses Q1 als das Auswahlsignal PSO aus, wenn die Auswahldaten CDLN "0001" sind, die einen Wert von 1 darstellen, und gibt das Ausgangssignal des Ausgangsanschlusses Q15 als das Auswahlsignal PSO aus, wenn die Auswahldaten CDLN "1111" sind, die einen Wert von 15 darstellen.

Der Abwärtszähler 34 ist ein bekannter Zähler mit einem Setz-Anschluß SET, in welchen das Setzsignal von dem ODER-Gatter ORa eingegeben wird. Wenn das Signal von dem Ausgangsanschluß Q7 des Ringoszillators 2 (im weiteren Verlauf als ein Taktsignal CLK bezeichnet) ansteigt, wenn sich dieses Setzsignal an dem hohen Pegel befindet, werden zehn Bits hoher Wertigkeit der Steuerdaten CD als die Zählraten CDH im voraus eingestellt. Wenn sich das Setzsignal andererseits an dem niedrigen Pegel befindet, wird der Zählwert DCD zu jedem Zeitpunkt um eins vermindert, zu dem das Takt-



5 signal CLK von dem Ringoszillator 2 ansteigt, um den Pegel des Ausgangssignals CN1 auf den hohen Zustand zu setzen, wenn der Zählwert DCD 1 ist, und um den Pegel des Ausgangssignals CN2 auf den hohen Zustand zu setzen, wenn der Zählwert DCD 0 ist.

10 Die Funktionsweise der digital gesteuerten Oszillationsschaltung 8 mit dem zuvor beschriebenen Aufbau wird nachfolgend beschrieben.

15 Zuerst werden zehn Bits hoher Wertigkeit der Steuerdaten CD in dem Abwärtszähler 34 zum Zeitpunkt eines Anstiegs des Taktsignals durch Halten des Rücksetzsignals CST auf dem hohen Pegel für eine vorbestimmte Zeitdauer im voraus als die Zählzeiten CDH eingestellt und wird diese Oszillationsschaltung 8 durch Zurücksetzen der Signalspeicherschaltungen 36 und 38 initialisiert, um die internen Daten zu löschen.

20 In diesem initialisierten Zustand werden, da die Signalspeicherschaltungen 36 und 38 zurückgesetzt sind, alle der von den Signalspeicherschaltungen 36 und 38 ausgegebenen 4-Bit-Daten null, und alle der von dem Addierer 40 ausgegebenen 5-Bit-Daten CDLA werden ebenso null. Daher wird  
25 in diesem initialisierten Zustand "0000", was einen Wert von 0 darstellt, als die Auswahldaten CDLN in die Pulsauswahlvorrichtung 32 eingegeben und gibt die Pulsauswahlvorrichtung 32 das Ausgangssignal des Ausgangsanschlusses des Ringoszillators 2 als das Auswahlsignal PSO aus. Ferner  
30 werden in diesem initialisierten Zustand zehn Bits hoher Wertigkeit der Steuerdaten CD zu dem Zeitpunkt eines Anstiegs des Taktsignals CLK von dem Ringoszillator 2 im voraus als die Zählzeiten CDH eingestellt.

35 Nachfolgend startet, wenn das Rücksetzsignal CST der niedrige Pegel wird, der Abwärtszähler 34 einen Zählvorgang, um die im voraus eingestellten Zählzeiten CDH zu jedem



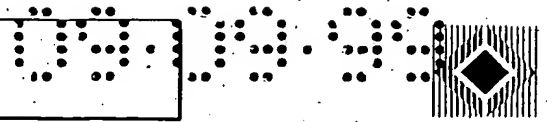
5 Zeitpunkt sequentiell abwärts zu zählen, zu dem das Takt-  
signal CLK von dem Ringoszillator 2 ansteigt. Jedoch wird,  
da alle von dem Addierer 40 ausgegebenen 5-Bit-Summandaten  
CDLA zu diesem Zeitpunkt null sind, ein Signal eines nied-  
rigen Pegls in jede der Auswahleinrichtungen 42 und 46 ein-  
gegeben. Dann wählt die Auswahleinrichtung 42 das Ausgangs-  
signal CN1 des Abwärtszählers 34 aus und gibt das Ausgangs-  
signal SL1 aus, während die Auswahlvorrichtung 46 das Aus-  
wahlsignal SL1 der Auswahlvorrichtung 42 auswählt und das  
10 Ausgangssignal SL2 ausgibt.

Als Ergebnis nehmen die Eingangsanschlüsse D der D-  
Flip-Flops DFFa unmittelbar, nachdem das Rücksetzsignal CST  
von dem hohen Pegel zu dem niedrigen Pegel geschaltet wor-  
den ist (d.h. unmittelbar nach dem Aktivieren), den hohen  
15 Pegel an, wenn der Zählwert DCD in dem Abwärtszähler 34 1  
ist, wie es in der in FIG. 8 gezeigten Periode (A) zu sehen  
ist. Wenn das Ausgangssignal des Ausgangsanschlusses Q0 des  
Ringoszillators 2 in einem derartigen Zustand der hohe Pe-  
gel wird, um zu bewirken, daß das Auswahlsignal PSO aus der  
20 Pulsauswahlvorrichtung 32 ausgegeben wird, wird das erste  
Pulssignal POUT aus der Oszillationsschaltung 8 ausgegeben.

Nach einem Ausgeben eines Speichersignals QOUT (hoher  
25 Pegel) wird das D-Flip-Flop DFFa über das UND-Gatter ANDa  
gelöscht, wenn ein verzögertes Signal DL2 von der Verzöge-  
rungsleitung 48, welche das Speichersignal POUT um eine  
vorbestimmte Zeit T2 verzögert, der hohe Pegel geworden  
ist. Deshalb stimmt das Speichersignal QOUT und daher die  
30 Pulsbreite des Pulssignals POUT mit der Verzögerungszeit T2  
der Verzögerungsleitung 48 überein und die Oszillations-  
schaltung 8 gibt ein Pulssignal POUT mit einer vorbestimm-  
ten Pulsbreite aus.

35 Wenn das erste Pulssignal POUT nach dem Aktivieren der  
Oszillationsschaltung 8 ausgegeben wird, wie es zuvor be-  
schrieben worden ist, speichert die Signalspeicherschaltung





36 die vier Bits niedriger Wertigkeit der Steuerdaten CD  
als Bezugswahldaten CDL und speichert die Signalspei-  
cherschaltung 38 die Auswahldaten CDLN, welche derzeit in  
die Pulsauswahlvorrichtung 32 eingegeben werden, als alte  
5 Auswahldaten CDLB zu dem Zeitpunkt des Anstiegs dieses  
Pulssignals POUT. Als Ergebnis werden die von dem Addierer  
40 ausgegebenen Summendaten CDLA auf einen Wert aktuali-  
siert, welcher durch Addieren von vier Bits niedriger Wer-  
tigkeit der Steuerdaten CD (Bezugswahldaten CDL) und  
10 vier Bits niedriger Wertigkeit der derzeitigen Summendaten  
CDLA (alten Auswahldaten CDLB, deren Wert in diesem Fall 0  
ist) erzielt wird. Gleichzeitig fährt die Auswahlvorrich-  
tung 32 fort, da das Übertragungssignal CY der Summendaten  
CDLA, das von dem Addierer 40 ausgegeben wird, 0 ist, das  
15 Ausgangssignal CN1 des Abwärtszählers 34 auszuwählen.

Ferner werden, da das Ausgangssignal SL1 der Auswahl-  
vorrichtung 42 in den Setz-Anschluß SET des Abwärtszählers  
34 eingegeben wird, wenn das Taktsignal CLK von dem Ringos-  
20 zillator 2 ansteigt, nachdem das Ausgangssignal SL1 der  
Auswahlvorrichtung 42 der hohe Pegel wird, die zehn Bits  
hoher Wertigkeit der Steuerdaten CD erneut als die Zähl-  
daten CDH gesetzt, und wird der Zählvorgang zu dem Zeitpunkt  
des nächsten Anstiegs des Taktsignals CLK wieder aufgenom-  
25 men.

Der Abwärtszähler 34 nimmt den Zählvorgang wieder auf,  
wie es zuvor beschrieben worden ist. Wenn der Zählwert DCD  
1 wird und das Ausgangssignal CN1 der hohe Pegel wird, wer-  
30 den das Ausgangssignal SL1 der Auswahlvorrichtung 42 und  
das Ausgangssignal SL2 der Auswahlvorrichtung 46 sequen-  
tiell der hohe Pegel, wie es in der in FIG. 8 gezeigten Pe-  
riode (B) zu sehen ist.

35 Zu diesem Zeitpunkt wählt die Pulsauswahlvorrichtung  
32 das Ausgangssignal des Ringoszillators 2 in Übereinstim-  
mung mit vier Bits niedriger Wertigkeit der Summendaten



CDLA aus, die von dem Addierer 40 ausgegeben werden (d.h. die Auswahl­daten CDLN). Zum Beispiel wählt sie das Ausgangssignal des Ausgangsanschlusses Q1 des Ringoszillators 2 aus, wie es in der in FIG. 8 gezeigten Periode (B) zu sehen ist, wenn vier Bits niedriger Wertigkeit der Steuerdaten CD, die von der Signalspeicherschaltung 36 als die Bezugsauswahl­daten CDL gespeichert werden, "0001" sind, was einen Wert von 1 darstellt, und die von dem Addierer 40 ausgegebenen Summendaten CDLA zu "0001" geworden sind.

In diesem Fall wird daher, wenn das Ausgangssignal des Ausgangsanschlusses Q1 ansteigt, nachdem das Ausgangssignal SL2 der Auswahlvorrichtung 46 der hohe Pegel geworden ist, das Ausgangssignal QOUT des D-Flip-Flops DFFa der hohe Pegel und wird ein zweites Pulssignal POUT von der Oszillationsschaltung 8 ausgegeben.

Wenn das zweite Pulssignal POUT von der Oszillationsschaltung 8 ausgegeben wird, wie es zuvor beschrieben worden ist, speichert die Signalspeicherschaltung 38 erneut die Auswahl­daten CDLN, welche derzeit in die Pulsauswahl­vorrichtung 32 eingegeben werden, als alte Auswahl­daten CDLB, während die Signalspeicherschaltung 36 erneut vier Bits niedriger Wertigkeit der Steuerdaten CD als Bezugsauswahl­daten CDL speichert. Daher werden, wenn die vier Bits niedriger Wertigkeit der Steuerdaten CD immer noch "0001" sind, die von dem Addierer 40 ausgegebenen Summendaten CDLA auf "00010" aktualisiert. Danach werden zu jedem Zeitpunkt, zu dem ein Pulssignal POUT ausgegeben wird, die Summendaten CDLA mit vier Bits niedriger Wertigkeit der Steuerdaten CD (Bezugsauswahl­daten CDL) addiert, die von der Signalspeicherschaltung 36 gespeichert werden, um aktualisiert zu werden.

Zum Beispiel wählt die Pulsauswahlvorrichtung 32, wenn Summendaten CDLA "01111" von dem Addierer 40 als Ergebnis der Wiederholens des zuvor beschriebenen Vorgangs ausgege-



ben werden und das MSB, welches das vierte Bit niedriger Wertigkeit von diesem ist, der hohe Pegel wird, das Ausgangssignal des Ausgangsanschlusses Q15 des Ringoszillators 2 aus, und wählt die Auswahlvorrichtung 46 ein verzögertes  
5 Signal DL1 von der Verzögerungsleitung 44 aus, welche das Ausgangssignal SL1 der Auswahlvorrichtung 42 um die Zeit T1 verzögert, die ein Pulssignal benötigt, um eine halbe Runde durch den Ringoszillator 2 zu machen.

10 In diesem Fall wird daher, wenn der Zählwert DCD in dem Abwärtszähler 34 1 wird und das Ausgangssignal CN1 von diesem der hohe Pegel wird, das Auswahlsignal SL1 der Auswahlvorrichtung 42 der hohe Pegel und wird, nachdem die Zeit T1 verstrichen ist, das Ausgangssignal SL2 der Auswahlvorrichtung 46 der hohe Pegel. Wenn das Ausgangssignal  
15 des Ausgangsanschlusses Q15 des Ringoszillators 2 danach ansteigt, wird das Ausgangssignal QOUT des D-Flip-Flops DFFa der hohe Pegel und wird das nächste Pulssignal POUT aus der Oszillationsschaltung 8 ausgegeben.

20 Der Grund dafür ist, daß, wenn die Pulsauswahlvorrichtung 32 das Ausgangssignal von irgendeinem der Ausgangsanschlüsse Q8 bis Q15 auswählt, das D-Flip-Flop DFFa die Daten unmittelbar speichert, nachdem die Eingangsdaten der  
25 hohe Pegel werden, was zu der Möglichkeit führt, daß das Ausgangssignal QOUT aus dem D-Flip-Flop DFFa unbestimmt wird.

Zusammenfassend wird bei dem vorliegenden Ausführungs-  
30 beispiel das Ausgangssignal SL1 der Auswahlvorrichtung 42 wie es ist in das D-Flip-Flop DFFa eingegeben, wenn die Pulsauswahlvorrichtung 32 das Ausgangssignal von irgendeinem der Ausgangsanschlüsse Q0 bis Q7 auswählt, während das Ausgangssignal SL1 der Auswahlvorrichtung 42 um die Zeit T1  
35 verzögert wird, welche ein Pulssignal benötigt, um eine halbe Runde durch den Ringoszillator 2 zu machen, bevor es in das D-Flip-Flop DFFa eingegeben wird, wenn die Pulsaus-



wahlvorrichtung 32 das Ausgangssignal von irgendeinem der Ausgangsanschlüsse Q8 bis Q15 auswählt. Dies ermöglicht es, die Zeit, welche das D-Flip-Flop DFFa benötigt, um die darin eingegebenen Daten zu speichern, nachdem die Daten der hohe Pegel werden, immer gleich oder länger als die Zeit zu halten, welche ein Pulssignal benötigt, um eine halbe Runde durch den Ringoszillator 2 zu machen.

Als nächstes wählt die Auswahlvorrichtung 42 das Ausgangssignal CN2 aus, welches der hohe Pegel wird, wenn der Zählwert DCD in dem Abwärtszähler 34 0 ist, wenn das Übertragssignal CY der Summendaten CDLA, das von dem Addierer 40 ausgegeben wird, der hohe Pegel wird. In diesem Fall wird daher ein Pulssignal POUT bei dem Anstieg eines Auswahlsignals PSO ausgegeben, welches von der Pulsauswahlvorrichtung 32 ausgegeben wird, nachdem die Zahl der Umläufe eines Pulssignals in dem Ringoszillator 2 die Zahl erreicht, welche durch Addieren von 1 zu zehn Bits hoher Wertigkeit der Steuerdaten CD erzielt wird.

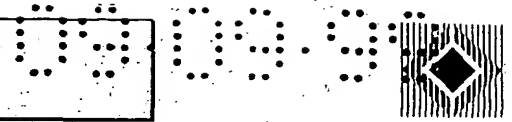
Der Grund dafür ist, daß der Oszillationszyklus um die Zeit verkürzt wird, welche ein Pulssignal benötigt, um eine Runde durch den Ringoszillator 2 zu machen, wenn sich der Ausgangsanschluß des Ringoszillators 2, an welchem das derzeitige Pulssignal erzielt wird, an einer Stufe befindet, welche dem Ausgangsanschluß vorhergeht, an welchem das vorhergehende Pulssignal erzielt worden ist, d.h. wenn der Wert der Auswahldaten CDLN, welche in die Pulsauswahlvorrichtung 32 eingegeben werden, kleiner als der vorhergehende Wert ist, da der Abwärtszähler 34 in einem konstanten Zyklus ( $32 \cdot T_d$ ) in Übereinstimmung mit dem von dem Ausgangsanschluß Q7 des Ringoszillators 2 ausgegebenen Taktsignal CLK abwärts zählt.

Wie es zuvor beschrieben worden ist, wird bei der digital gesteuerten Oszillationsschaltung 8 gemäß dem vorliegenden Ausführungsbeispiel die Anzahl der Umläufe eines



Pulssignals in dem Ringoszillator 2 unter Verwendung der Zählzeiten CDH gezählt, welche zehn Bits hoher Wertigkeit der von der Arithmetikschialtung 6 ausgegebenen Steuerdaten CD sind; wird ein Ausgangssignal aus dem Ringoszillator 2 unter Verwendung von vier Bits niedriger Wertigkeit der 5-Bit-Summendaten CDLA (Auswahldaten CDLN) ausgewählt, welche durch sequentielles Addieren der Bezugsauswahldaten CDL erzielt werden, welche vier Bits niedriger Wertigkeit der Steuerdaten CD sind; und wird ein Pulssignal POUT immer wiederholt in einem konstanten Zyklus ( $= CDH \times 32 \cdot T_d + CDL \times 2 \cdot T_d$ ) ausgegeben, welcher durch die Steuerdaten C und die Inversionszeit  $T_d$  der Invertierschaltungen in dem Ringoszillator 2 durch Addieren oder Subtrahieren des Übertragungssignals CY der Summendaten CDLA zu bzw. von dem Zählwert der Anzahl von Umläufen des Pulssignals bestimmt wird. Dies ermöglicht es, einen Pulssignal-Umlaufvorgang andauernd ohne die Notwendigkeit durchzuführen, den Ringoszillator zu jedem Zeitpunkt zurückzusetzen, zu dem ein Pulssignal POUT ausgegeben wird, wie bei herkömmlichen digital gesteuerten Oszillationsschaltungen.

Wie es zuvor im Detail beschrieben worden ist, weist der Frequenzwandler gemäß dem vorliegenden Ausführungsbeispiel eine Pulsphasendifferenz-Kodierschaltung 4, welche imstande ist, den Zyklus eines von außen eingegebenen Bezugssignals PB auf der Grundlage von Ausgangssignalen wiederholt zu kodieren, welche sequentiell von den Ausgangsanschlüssen Q0 bis Q15 des Ringoszillators 2 ausgegeben werden, und eine digital gesteuerte Oszillationsschaltung 8 auf, welche imstande ist, ein Pulssignal POUT mit einer vorbestimmten Pulsbreite in einem Zyklus in Übereinstimmung mit den von außen eingegebenen Steuerdaten CD auf der Grundlage von Ausgangssignalen wiederholt auszugeben, welche sequentiell von den Ausgangsanschlüssen Q0 bis Q15 des Ringoszillators ausgegeben werden, wobei der Ringoszillator 2 von der Pulsphasendifferenz-Kodierschaltung 4 und der di-

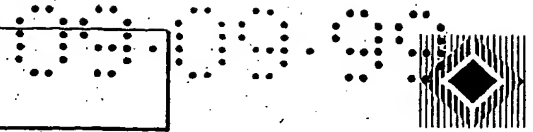


digital gesteuerten Oszillationsschaltung 8 gemeinsam genutzt wird.

5 Als Ergebnis wird die Zeitauflösung des binären digitalen Werts DOUT, der von der Pulsphasendifferenz-Kodierschaltung 4 erzielt wird, und des Pulssignals POUT, das von der digital gesteuerten Oszillationsschaltung 8 ausgegeben wird, eine konstante Zeitverzögerung ( $2T_d$ ), welche durch die Inversionszeit  $T_d$  von Invertierschaltungen zwischen den  
10 Ausgangsanschlüssen Q0 bis Q15 des Ringoszillators 2 bestimmt wird. Zum Beispiel kann, wenn der von der Pulsphasendifferenz-Kodierschaltung 4 erzielte binäre digitale Wert DOUT wie er ist als die Steuerdaten CD in die digital gesteuerte Oszillationsschaltung 8 eingegeben wird, das  
15 Pulssignal POUT von der digital gesteuerten Oszillationsschaltung 8 in vollständig dem gleichen Zyklus wie dem des Bezugssignals PB ausgegeben werden, welches von der Pulsphasendifferenz-Kodierschaltung 4 in einen binären digitalen Wert DOUT kodiert wird.

20 Daher kann durch Betreiben der Arithmetikschaltung 6 als eine Multiplizierschaltung zum Multiplizieren des von der Pulsphasendifferenz-Kodierschaltung 4 erzielten binären digitalen Werts DOUT mit einem vorbestimmten Wert diese  
25 Vorrichtung als ein äußerst genauer Frequenzteiler verwendet werden. Umgekehrt kann, wenn sie als einer Teilerschaltung zum Dividieren des von der Pulsphasendifferenz-Kodierschaltung 4 erzielten binären digitalen Werts DOUT durch einen vorbestimmten Wert betrieben wird, diese Vorrichtung  
30 als ein äußerst genauer Frequenzmultiplizierer verwendet werden.

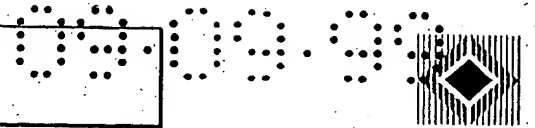
Der Aufbau der Vorrichtung kann vereinfacht werden, um eine kompakte Abmessung zu erzielen, da der einzige Oszillator 2 zwischen den Schaltungen 4 und 8 ohne die Notwendigkeit gemeinsam genutzt wird, daß die Pulsphasendifferenz-Kodierschaltung 4 und die digital gesteuerte Oszilla-



tionsschaltung 8 mit Verzögerungsschaltungen versehen sind, welche ausschließlich von diesen verwendet werden, wie im Stand der Technik.

5           Obgleich das vorliegende Ausführungsbeispiel unter Bezugnahme auf einen Frequenzwandler beschrieben worden ist, welcher ein durch Dividieren oder Multiplizieren eines Bezugssignals PB unter Verwendung der Pulsphasendifferenz-Kodierschaltung 4 und der digital gesteuerten Oszillationsschaltung 8 erzielt Pulssignal POUT erzeugt, kann die  
10           vorliegende Erfindung an jeder Vorrichtung angewendet werden, welche gleichzeitig eine Vielzahl von Pulsphasendifferenz-Kodierschaltungen und digital gesteuerten Oszillationsschaltungen verwendet, wie zum Beispiel PLLs, welche  
15           die Pulsphasendifferenz-Kodierschaltung und die digital gesteuerte Oszillationsschaltung verwenden, wie es in der ungeprüften Japanischen Patentoffenlegungsschrift Nr. JP-A-5-102801 offenbart ist, Frequenzmeßvorrichtungen zum Messen eines zu messenden Signals PX unter Verwendung von zwei  
20           Pulsphasendifferenz-Kodierschaltungen, wie es in FIG. 9 gezeigt ist, Oszillatoren zum Erzeugen eines Pulssignals PO mit einem vorbestimmten Tastverhältnis in einem vorbestimmten Zyklus in Übereinstimmung mit Eingangsdaten unter Verwendung von zwei digital gesteuerten Oszillationsschaltungen,  
25           wie es in FIG. 10(a) gezeigt ist.

          Bei der in FIG. 9 gezeigten Frequenzmeßvorrichtung wird ein Bezugssignal PB mit einer bekannten Frequenz in eine Pulsphasendifferenz-Kodierschaltung 54 eingegeben, um  
30           dessen Zyklus zu kodieren, wird ein zu messendes Signal PX, dessen Frequenz unbekannt ist, in eine Pulsphasendifferenz-Kodierschaltung 56 eingegeben, um dessen Zyklus zu kodieren, und werden binäre digitale Werte D1 und D2, die von den Pulsphasendifferenz-Kodierschaltungen 54 und 56 erzielt  
35           werden, in eine Teilerschaltung 58 eingegeben, um das Verhältnis des Zyklus (D2) des zu messenden Signals PX zu dem Zyklus (D1) des Bezugssignals PB ( $D0 = D2/D1$ ) zu erzielen,



um dadurch den Zyklus, d.h. die Frequenz, des zu messenden Signals PX zu messen. Die Pulsphasendifferenz-Kodierschaltungen 54 und 56 weisen den gleichen Aufbau wie den der Pulsphasendifferenz-Kodierschaltung 4 in dem zuvor beschriebenen Ausführungsbeispiel auf und nutzen gemeinsam einen Ringoszillator 52 mit dem gleichen Aufbau wie dem des Ringoszillators 2 in dem zuvor beschriebenen Ausführungsbeispiel. Daher weisen die Pulsphasendifferenz-Kodierschaltungen 54 und 56 vollständig die gleiche Zeitauflösung auf und sind imstande, den Zyklus (die Frequenz) des zu messenden Signals PX mit hoher Genauigkeit zu messen.

Ferner weist die in FIG. 10(a) gezeigte Oszillationsvorrichtung einen Ringoszillator 62 mit dem gleichen Aufbau wie dem des Ringoszillators 2 in dem zuvor beschriebenen Ausführungsbeispiel, zwei digital gesteuerte Oszillationsschaltungen 64 und 66, welche den gleichen Aufbau wie dem der digital gesteuerten Oszillationsschaltung 8 in dem zuvor beschriebenen Ausführungsbeispiel aufweisen und welche den Ringoszillator 62 im Betrieb gemeinsam nutzen, und ein RS-Flip-Flop 68 mit einem Setz-Anschluß S, in welchen ein Pulssignal P1 aus der digital gesteuerten Oszillationsschaltung 64 eingegeben wird, und einen Rücksetz-Anschluß R, in welchen ein Pulssignal P2 aus der anderen digital gesteuerten Oszillationsschaltung 66 eingegeben wird, auf.

Diese Oszillationsvorrichtung wird in Übereinstimmung mit einem Verfahren verwendet, bei welchem beliebige digitale Daten zum Aktivieren als Steuerdaten Da und Db in die digital gesteuerten Oszillationsschaltung 64 bzw. 66 eingegeben werden, wobei ein Rücksetzsignal CST gleichzeitig eingegeben wird, um die digital gesteuerten Oszillationsschaltungen 64 und 66 gleichzeitig zu aktivieren; danach werden die Steuerdaten Da, welche den Zyklus (die Frequenz) des Pulssignals PO darstellen, das von dem RS-Flip-Flop 68 ausgegeben wird, in die digital gesteuerte Oszillationsschaltung 64 eingegeben; die durch Multiplizieren der Steu-





erdaten Da mit K (K ist irgendein Wert zwischen 1 und 2)  
erzielten Steuerdaten Db werden während der Periode, bis  
das erste Pulssignal P1 ausgegeben wird, in die digital ge-  
steuerte Oszillationsschaltung 66 eingegeben; und nachdem  
5 das erste Pulssignal P1 ausgegeben worden ist, werden die  
Steuerdaten Db, welche zu den Steuerdaten Da identisch  
sind, in die Schaltung 66 eingegeben.

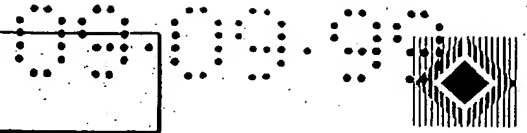
Wenn die Vorrichtung auf eine derartige Weise verwen-  
10 det wird, wie es in FIG. 10(b) gezeigt ist, gibt die digi-  
tal gesteuerte Oszillationsschaltung 64 das Pulssignal P1  
in einem konstanten Zyklus in Übereinstimmung mit den Steu-  
erdaten Da sequentiell aus, nachdem sie aktiviert worden  
ist; gibt der andere digital gesteuerte Oszillator 66 das  
15 Pulssignal P2 sequentiell aus, welches den gleichen Zyklus  
wie den des Pulssignals P1 aufweist und dessen Phase von  
dem Zyklus um (K-1) verschoben ist; und gibt das RS-Flip-  
Flop 68 das Pulssignal PO mit einem Tastverhältnis aus, das  
der Abweichung zwischen den Phasen des Pulssignals P1 und  
20 des Pulssignals P2 entspricht (das Tastverhältnis ist 50 %,  
wenn K 1,5 ist). Daher kann die in FIG. 10(a) gezeigte Os-  
zillationsvorrichtung ein Pulssignal PO mit einem vorbe-  
stimmten Tastverhältnis in einem vorbestimmten Zyklus in  
Abhängigkeit von den Werten der ersten Steuerdaten Da und  
25 Db ausgeben, welche nach einem Aktivieren eingegeben wer-  
den.

Bei dieser Oszillationsvorrichtung weisen, da die di-  
gital gesteuerten Oszillationsschaltungen 64 und 66 erneut  
30 den Ringoszillator 62 gemeinsam nutzen, diese vollständig  
die gleiche Zeitauflösung auf, was es ermöglicht, den Zy-  
klus und das Tastverhältnis des von dem RS-Flip-Flop 68  
ausgegebenen Pulssignals PO genau zu steuern.



## Ansprüche

1. Frequenzwandler zum Wandeln eines Eingangspulssignals  
5 (PB) mit einer bestimmten Frequenz in ein Ausgangspulssignal (POUT) mit einer anderen Frequenz, der aufweist:  
eine Verzögerungsschaltung (2), welche aus einer Vielzahl von miteinander verbundenen Verzögerungselementen (NAND1, NAND32, INV2 bis INV31) aufgebaut ist, in welche  
10 ein Steuersignal (PA) eingegeben wird und welche eine Vielzahl von verzögerten Signalen (Q0 bis Q14) sequentiell ausgibt, die durch Verzögern des Eingangssignals um eine durch die Anzahl der Verzögerungselemente bestimmte Verzögerungsperiode erhalten wird;
- 15 eine erste Pulsausgabeschaltung (4), welche aus einer Digitaldaten-Kodierschaltung aufgebaut ist, in welche das Eingangspulssignal (PB) eingegeben wird, welche erste Positionsdaten ausgibt, welche die Verbindungsposition des Verzögerungselements der Verzögerungsschaltung, welche das  
20 verzögerte Signal ausgibt, wenn ein Puls in dem Eingangspulssignal (PB) zu einem bestimmten Zeitpunkt eingegeben wird, und den Verbindungspunkt des Verzögerungselements, welches das verzögerte Signal ausgibt, wenn ein Puls in dem Eingangspulssignal (PB) zu einem anderen Zeitpunkt eingegeben  
25 wird, darstellen und welche erste Digitaldaten (Dout) erzeugt, die eine Zeitdifferenz zwischen den zwei Pulsen in dem Eingangspulssignal (PB) durch die Differenz zwischen den zwei Verbindungspositionen in den ersten Positionsdaten anzeigen; und
- 30 eine zweite Pulsausgabeschaltung (8), in welche zweite Digitaldaten (Din) eingegeben werden, die aus den ersten Digitaldaten (Dout) abgeleitet sind, welche den Ausgang von einem der Verzögerungselemente auswählt, der den zweiten Digitaldaten (Din) entspricht, und welche das Ausgangspulssignal (POUT) sequentiell ausgibt, wenn der ausgewählte  
35 Verzögerungselementausgang das verzögerte Signal ausgibt,



um das Ausgangspulssignal (POUT) zu einer bestimmten Periode auszugeben, die den zweiten Digitaldaten (Din) entspricht,

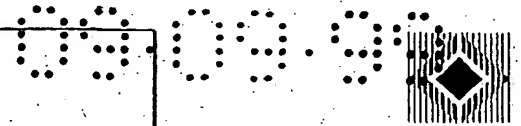
5 wobei sich die ersten und zweiten Pulsausgabeschaltungen (4, 8) die Verzögerungsschaltung (2) beim Erzeugen der jeweiligen Pulse teilen.

## 2. Frequenzwandler nach Anspruch 1, bei welchem:

10 (a) die Digitaldaten-Kodierschaltung (4) eine Verbindungspositionsdaten-Erzeugungsschaltung (12, 14, 16, 18, 20, 22), welche das neueste verzögerte Signale erfaßt, das von der Verzögerungsschaltung (2) ausgegeben wird, wenn der Puls zu dem bestimmten Zeitpunkt in dem Eingangspulssignal (PB) eingegeben wird, erste Verbindungspositionsdaten erzeugt,  
15 welche die Verbindungsposition des Verzögerungselements darstellen, welches das neueste verzögerte Signal als Reaktion auf das Eingeben des Pulses zu dem bestimmten Zeitpunkt ausgibt, das neueste verzögerte Signal erfaßt, welches von der Verzögerungsschaltung (2) ausgegeben wird, wenn der Puls zu dem anderen Zeitpunkt in dem Eingangspulssignal (PB) eingegeben wird, und zweite Verbindungspositionsdaten erzeugt, welche die Verbindungsposition des Verzögerungselements darstellen, welches das neueste verzögerte Signal als Reaktion auf die Eingabe des Pulses zu dem anderen Zeitpunkt ausgibt, und  
25

eine Arithmetikschaltung (24, 26, 28) aufweist, welche die Positionsdifferenz zwischen den ersten Verbindungspositionsdaten und den zweiten Verbindungspositionsdaten berechnet, die von der Verbindungspositionsdaten-Erzeugungsschaltung erzeugt werden, und die berechnete Positionsdifferenz als erste Digitaldaten ausgibt, welche die Zeitdifferenz darstellen;  
30

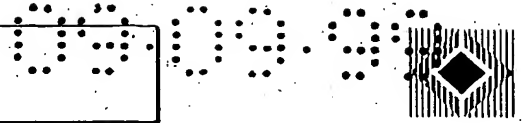
wobei die zweiten Digitaldaten (Din) die ersten Digitaldaten (Dout), die von der Arithmetikschaltung (24, 28) in der ersten Digitaldaten-Kodierschaltung (4) ausgegeben werden, multipliziert mit einem vorbestimmten Wert oder geteilt durch einen vorbestimmten Wert sind; und wobei  
35



(b) die zweite Pulsausgabeschaltung (8) eine digital gesteuerte Pulserzeugungsschaltung (8) aufweist, in welche die zweiten Digitaldaten (Din) eingegeben werden und welche das Ausgangspulssignal (POUT) zu einer Periode ausgibt, die den zweiten Digitaldaten (Din) entspricht, wobei die digital gesteuerte Pulserzeugungsschaltung eine Signalauswahlschaltung (32, 36, 38, 40, 46), welche die zweiten Positionsdaten (CDLN) aus den zweiten Digitaldaten (Din) ableitet und ein verzögertes Signal auswählt, das von dem Verzögerungselement (44) ausgegeben wird, das den zweiten Positionsdaten entspricht, und eine Pulssignal-Ausgabeschaltung (DFFa, 50), welche das Ausgangspulssignal (POUT) sequentiell ausgibt, wenn das verzögerte Signal von dem ausgewählten Verzögerungselement ausgegeben wird.

3. Frequenzwandler nach Anspruch 1 oder 2, bei welchem die Verzögerungsschaltung (2) aus einer Pulsumlaufschaltung, welche ein erstes Verzögerungselement (NAND, INV2), das in der ersten Position angeschlossen ist, und ein letztes Verzögerungselement (INV31, NAND32) beinhaltet, das in der letzten Position angeschlossen ist, bei welcher das letzte Verzögerungselement mit dem ersten Verzögerungselement verbunden ist und welche das Steuersignal (PA) durch die Vielzahl von miteinander verbundenen Verzögerungselementen in Umlauf hält; die Ausgabe der verzögerten Signale als Reaktion auf das Eingeben eines Eingangssignals an irgendeinem Verbindungspunkt der Verzögerungselemente gestartet wird; und die Vielzahl von verzögerten Signalen das Ergebnis eines Verzögerns des Steuersignals (PA) um Verzögerungsperioden ist, die durch die Anzahl der miteinander verbundenen Verzögerungselemente bestimmt werden.

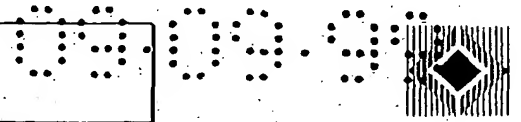
4. Frequenzwandler nach Anspruch 3 als von Anspruch 2 abhängiger Anspruch, bei welchem die Verbindungspositionsdaten-Erzeugungsschaltung eine erste Zählerschaltung (14), wel-



che die Anzahl der Umläufe des Steuersignals (PA) innerhalb der Pulsumlaufschaltung (2) zählt und einen ersten Zählwert ausgibt, und eine Datenkombinationsschaltung (22) aufweist, welche den ersten Zählwert mit den ersten und zweiten Verbindungspositionsdaten kombiniert, die von der Verbindungspositionsdaten-Erzeugungsschaltung in der Digitaldaten-Kodierschaltung (4) erzeugt werden, und die ersten und zweiten Verbindungspositionsdaten nach einer derartigen Kombination ausgibt, und bei welchem erste und zweite Verbindungspositionsdaten nach der Kombination in die Arithmetikschaltung (24, 26, 28) eingegeben werden.

5. Frequenzteiler nach Anspruch 2, bei welchem die Signalauswahlschaltung (32, 36, 38, 40, 46) in der digital gesteuerten Pulserzeugungsschaltung (8) eine zweite Zähschaltung (34), welche die Anzahl der Umläufe des Pulssignals innerhalb der Pulsumlaufschaltung (2) zählt und ein Erfassungssignal ausgibt, welches anzeigt, wenn der Zählwert einen Wert erreicht, der dem Zählwert der zu vollziehenden Umläufe in den zweiten Digitaldaten (Din) entspricht, und eine Zählsteuerschaltung (ORa) aufweist, welche den Zählwert in der zweiten Zähschaltung initialisiert, um den Zählvorgang wiederaufzunehmen, wenn das Erfassungssignal von der zweiten Zähschaltung ausgegeben wird.

6. Frequenzteiler nach Anspruch 2, bei welchem die Signalauswahlschaltung in der digital gesteuerten Pulserzeugungsschaltung einen Positionsdaten-Ausgabeabschnitt, in welchen die zweiten Digitaldaten (Din) eingegeben werden, der zu Beginn die zweiten Digitaldaten (Din) als die zweiten Positionsdaten ausgibt, die vorhergehend ausgegebenen zweiten Positionsdaten (CDLB) durch Hinzufügen der aktuell eingegebenen zweiten Digitaldaten zu diesen aktualisiert und das Ergebnis als aktualisierte zweite Positionsdaten (CDLA) ausgibt, und einen Abschnitt (32) zum Auswählen eines ver-



zögerten Signals aufweist, welcher das zweite verzögerte Signal, das von dem Verzögerungselement an der Verbindungsposition ausgegeben wird, die den zweiten Positionsdaten entspricht, aus den von der Verzögerungsschaltung sequentiell ausgegebenen verzögerten Signalen auswählt.

7. Frequenzmeßschaltung zum Messen einer Frequenz eines Pulssignals (PX), die aufweist:

eine Verzögerungsschaltung (52), welche aus einer Vielzahl von miteinander verbundenen Verzögerungselementen aufgebaut ist, in welche ein Eingangssignal (PA) eingegeben wird und welche aus einer Vielzahl von Verbindungspunkten der Verzögerungselemente eine Vielzahl von verzögerten Signalen sequentiell ausgibt, welche durch Verzögern des Eingangssignals um eine durch die Anzahl der Verzögerungselemente bestimmte Verzögerungsperiode erhalten wird;

eine erste Pulsausgabeschaltung (54), welche aus einer ersten Digitaldaten-Kodierschaltung aufgebaut ist, in welche ein Bezugssignal (PB) eingegeben wird, welche erste Positionsdaten ausgibt, welche die Verbindungsposition des Verzögerungselements der Verzögerungsschaltung darstellen, welche das verzögerte Signal ausgibt, wenn ein Puls in dem Bezugssignal (PB) zu einem bestimmten Zeitpunkt eingegeben wird, und den Verbindungspunkt des Verzögerungselements darstellen, welches das verzögerte Signal ausgibt, wenn ein Puls in dem Bezugssignal (PB) zu einem anderen Zeitpunkt eingegeben wird, und welche erste Digitaldaten (D1) erzeugt, die eine Zeitdifferenz zwischen den zwei Pulsen in dem ersten Pulszug durch die Differenz zwischen den zwei Verbindungspositionen in den ersten Positionsdaten anzeigen; und

eine zweite Pulsausgabeschaltung (56), welche aus einer zweiten Digitaldaten-Kodierschaltung aufgebaut ist, in welche das Pulssignal (PX) eingegeben wird, welche zweite Positionsdaten ausgibt, welche die Verbindungsposition des Verzögerungselements der Verzögerungsschaltung darstellen, welche das verzögerte Signal ausgibt, wenn ein Puls in dem



Pulssignal (PX) zu einem bestimmten Zeitpunkt eingegeben wird, und den Verbindungspunkt des Verzögerungselements darstellen, welches das verzögerte Signal ausgibt, wenn ein Puls in dem Pulssignal (PX) zu einem anderen Zeitpunkt eingegeben wird, und welche zweite Digitaldaten (D2) erzeugt, welche eine Zeitdifferenz zwischen den zwei Pulsen in dem Pulssignal (PX) durch die Differenz zwischen den zwei Verbindungspositionen in den zweiten Positionsdaten anzeigen; und

10 eine Ausgangsteilerschaltung (58), welche Digitaldaten (D0) ausgibt, die eine Frequenz des Pulssignals (PX) durch Berechnen des Verhältnisses zwischen den ersten und den zweiten Digitaldaten (D1, D2) anzeigen,

wobei sich die ersten und zweiten Pulsausgabeschaltungen (54, 56) die Verzögerungsschaltung (52) beim Erzeugen der jeweiligen Pulse teilen.

8. Frequenzmeßschaltung nach Anspruch 7, bei welcher:

a) die erste Digitaldaten-Kodierschaltung (54)  
20 eine erste Verbindungspositionsdaten-Erzeugungsschaltung, welche das neueste verzögerte Signal erfaßt, welches von der Verzögerungsschaltung (52) ausgegeben wird, wenn der Puls zu dem bestimmten Zeitpunkt in dem Bezugssignal (PB) eingegeben wird, erste Verbindungspositionsdaten erzeugt, welche die Verbindungsposition des Verzögerungselements darstellen, welches das neueste verzögerte Signal als Reaktion auf das Eingeben des Pulses zu dem bestimmten Zeitpunkt ausgibt, das neueste verzögerte Signal erfaßt, welches von der Verzögerungsschaltung (52) ausgegeben wird, wenn der Puls zu dem anderen Zeitpunkt in dem Bezugssignal (PB) eingegeben wird, und zweite Verbindungspositionsdaten erzeugt, welche die Verbindungsposition des Verzögerungselements darstellen, welches das neueste verzögerte Signal als Reaktion auf das Eingeben des Pulses zu dem anderen Zeitpunkt ausgibt, und

eine erste Arithmetikschaltung (24, 26, 28) aufweist, welche die Positionsdifferenz zwischen den ersten Verbin-



5 dungspositionsdaten und den zweiten Verbindungspositions-  
daten berechnet, die von der ersten Verbindungspositions-  
daten-Erzeugungsschaltung erzeugt werden, und die berech-  
nete Positions Differenz als die ersten Digitaldaten aus-  
gibt, welche die Zeitdifferenz darstellen;

10 b) die zweite Digitaldaten-Kodierschaltung (56) eine  
zweite Verbindungspositionsdaten-Erzeugungsschaltung, wel-  
che das neueste verzögerte Signal erfaßt, das von der Ver-  
zögerungsschaltung ausgegeben wird, wenn der Puls zu dem  
bestimmten Zeitpunkt in dem Pulssignal (PX) eingegeben  
wird, dritte Verbindungspositionsdaten erzeugt, welche die  
Verbindungsposition des Verzögerungselements darstellen,  
welches das neueste verzögerte Signal als Reaktion auf die  
Eingabe des Pulses zu dem bestimmten Zeitpunkt ausgibt, das  
15 neueste verzögerte Signal erfaßt, welches von der Verzöge-  
rungsschaltung ausgegeben wird, wenn der Puls zu dem ande-  
ren Zeitpunkt in dem Pulssignal (PX) eingegeben wird, und  
vierte Verbindungspositionsdaten erzeugt, welche die Ver-  
bindungsposition des Verzögerungselements darstellen, wel-  
ches das neueste verzögerte Signal als Reaktion auf das  
20 Eingeben des Pulses zu dem anderen Zeitpunkt ausgibt, und

und eine zweite Arithmetikschaltung (24, 26, 28) auf-  
weist, welche die Positions Differenz zwischen den dritten  
Verbindungspositionsdaten und den vierten Verbindungsposi-  
tionsdaten berechnet, die von der zweiten Verbindungsposi-  
tionsdaten-Erzeugungsschaltung erzeugt werden, und die be-  
rechnete Positions Differenz als zweite Digitaldaten aus-  
gibt, welche die Zeitdifferenz darstellen.

30 9. Frequenzmeßschaltung nach Anspruch 7, bei welcher die  
Verzögerungsschaltung (52) aus einer Pulsumlaufschaltung  
aufgebaut ist, welche ein erstes Verzögerungselement, das  
in der ersten Position angeschlossen ist, und ein letztes  
Verzögerungselement aufweist, das in der letzten Position  
angeschlossen ist, bei welcher das letzte Verzögerungsele-  
35 ment mit dem ersten Verzögerungselement verbunden ist und  
welche das Eingangssignal durch die Vielzahl von miteinan-

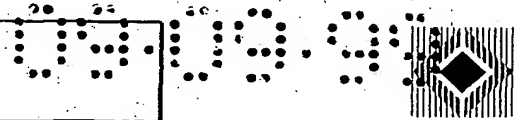




der verbundenen Verzögerungselementen in Umlauf hält; das Ausgeben der verzögerten Signale als Reaktion auf das Eingeben des Eingangssignals (PA) an irgendeinem Verbindungspunkt der Verzögerungselemente gestartet wird; und die  
5 Vielzahl von verzögerten Signalen das Ergebnis eines Verzögerens des Eingangssignals um Verzögerungsperioden ist, die durch die Anzahl der miteinander verbundenen Verzögerungselemente bestimmt werden.

- 10 10. Frequenzmeßschaltung nach Anspruch 9, bei welcher  
die erste Verbindungspositionsdaten-Erzeugungsschaltung (54) eine erste Zählerschaltung, welche die Anzahl der Umläufe des Eingangssignals (PA) innerhalb der Pulsumlaufschaltung (52) zählt und einen ersten Zählwert ausgibt, und  
15 eine erste Datenkombinationsschaltung aufweist, welche den ersten Zählwert mit den ersten und zweiten Verbindungspositionsdaten kombiniert, die von der ersten Verbindungspositionsdaten-Erzeugungsschaltung in der ersten Digitaldaten-Kodierschaltung erzeugt werden, und die Ergebnisse ausgibt;  
20 die zweite Verbindungspositionsdaten-Erzeugungsschaltung (56) eine zweite Zählerschaltung, welche die Anzahl der Umläufe des Eingangssignals (PA) innerhalb der Pulsumlaufschaltung (52) zählt und einen zweiten Zählwert ausgibt, und eine zweite Datenkombinationsschaltung aufweist, welche  
25 den zweiten Zählwert mit den dritten und vierten Verbindungspositionsdaten kombiniert, die von der zweiten Verbindungspositionsdaten-Erzeugungsschaltung in der zweiten Digitaldaten-Kodierschaltung erzeugt werden, und die Ergebnisse ausgibt; und  
30 die kombinierten Daten als die dritten und vierten Verbindungspositionsdaten ausgegeben werden, welche in die zweite Arithmetikschaltung eingegeben werden.

11. Pulsgenerator zum Erzeugen von Ausgangspulsen mit einem  
35 vorbestimmten Tastverhältnis, der aufweist:  
eine Verzögerungsschaltung (62), welche aus einer Viel-



zahl von miteinander verbundenen Verzögerungselementen aufgebaut ist, in welche ein Eingangssignal (PA) eingegeben wird und welche aus einer Vielzahl von Verbindungspunkten der Verzögerungselemente eine Vielzahl von verzögerten Signalen sequentiell ausgibt, welche durch Verzögern des Eingangssignals um eine durch die Anzahl der Verzögerungselemente bestimmte Verzögerungsperiode erhalten wird;

eine erste Pulsausgabeschaltung (64), in welche erste Digitaldaten (Da) eingegeben werden, welche einen Ausgang von einem der Verzögerungselemente auswählt, der den ersten Digitaldaten (Da) entspricht, und welche einen ersten Puls (P1) sequentiell ausgibt, wenn der ausgewählte Verzögerungselementausgang das verzögerte Signal ausgibt, um den ersten Puls (P1) zu einer Periode auszugeben, die den ersten Digitaldaten entspricht;

eine zweite Pulsausgabeschaltung (66), in welche zweite Digitaldaten (Db) eingegeben werden, welche einen Ausgang von einem der Verzögerungselemente auswählt, der den zweiten Digitaldaten entspricht, und welche einen zweiten Puls (P2) sequentiell ausgibt, wenn der ausgewählte Verzögerungselementausgang das verzögerte Signal ausgibt, um den zweiten Puls (P2) zu einer Periode auszugeben, die den zweiten Digitaldaten entspricht; und

eine Ausgabeschaltung (68), welche aus einem RS-Flip-Flop aufgebaut ist, welches Ausgangspulse (PO) aus den ersten und zweiten Pulsen (P1, P2) ausgibt, welche an einen jeweiligen Setz- und Rücksetz-Anschluß angelegt werden,

wobei sich die ersten und zweiten Pulsausgabeschaltungen (64, 66) die Verzögerungsschaltung (62) beim Erzeugen der ersten und zweiten Pulse teilen.

## 12. Pulsgenerator nach Anspruch 11, bei welchem:

a) die erste Pulsausgabeschaltung (64) eine erste digital gesteuerte Pulserzeugungsschaltung aufweist, in welche die ersten Digitaldaten (Da) eingegeben werden und welche den Puls (P1) zu einem Intervall ausgibt, das den ersten Digitaldaten (Da) entspricht, wobei die digital gesteuerte



### Pulserzeugungsschaltung

eine erste Signalauswahlschaltung, welche erste Positionsdaten aus den ersten Digitaldaten (Da) ableitet und ein verzögertes Signal auswählt, das von dem Verzögerungselement ausgegeben wird, das den ersten Positionsdaten entspricht,

eine erste Digitaldaten-Ausgabeschaltung aufweist, welche den ersten Puls sequentiell ausgibt, wenn das verzögerte Signal von dem ausgewählten Verzögerungselement ausgegeben wird; und

b) die zweite Pulsausgabeschaltung (66)

eine zweite digital gesteuerte Pulserzeugungsschaltung aufweist, in welche die zweiten Digitaldaten (Db) eingegeben werden und welche einen Puls zu einem Intervall ausgibt, das den zweiten Digitaldaten (Db) entspricht, wobei die digital gesteuerte Pulserzeugungsschaltung

eine zweite Signalauswahlschaltung, welche zweite Positionsdaten aus den zweiten Digitaldaten (Db) ableitet und ein verzögertes Signal auswählt, das von dem Verzögerungselement ausgegeben wird, das den zweiten Positionsdaten entspricht, und

eine zweite Digitaldaten-Ausgabeschaltung aufweist, welche den zweiten Puls sequentiell ausgibt, wenn das verzögerte Signal von dem ausgewählten Verzögerungselement ausgegeben wird.

13. Pulsgenerator nach Anspruch 11 oder 12, bei welchem die Verzögerungsschaltung (62) aus einer Pulsumlaufschaltung aufgebaut ist, welche ein erstes Verzögerungselement, das in der ersten Position angeschlossen ist, und ein letztes Verzögerungselement beinhaltet, das in der letzten Position angeschlossen ist, bei welcher das letzte Verzögerungselement mit dem ersten Verzögerungselement verbunden ist und welche das Eingangssignal (PA) durch die Vielzahl von miteinander verbundenen Verzögerungselementen in Umlauf hält; die Ausgabe der verzögerten Signale als Reaktion auf das Eingeben eines Eingangssignals an irgendeinem Verbindungs-



5 punkt der Verzögerungselemente gestartet wird; und die  
Vielzahl von verzögerten Signalen (PA) das Ergebnis eines  
Verzögerens des Eingangssignals (PA) um Verzögerungsperioden  
ist, die durch die Anzahl der miteinander verbundenen Ver-  
zögerungselemente bestimmt werden.

14. Pulsgenerator nach Anspruch 13 als von Anspruch 12 ab-  
hängiger Anspruch, bei welchem:

10 die erste Signalauswahlschaltung in der ersten digital  
gesteuerten Pulserzeugungsschaltung (64) eine erste Zähl-  
schaltung, welche die Anzahl der Umläufe des Eingangssig-  
nals (PA) innerhalb der Pulsumlaufschaltung zählt und ein  
Erfassungssignal ausgibt, welches anzeigt, wenn der Zähl-  
wert einen Wert erreicht, der dem Zählwert der zu vollzie-  
15 henden Umläufe in den ersten Digitaldaten entspricht, und  
eine erste Zählsteuerschaltung aufweist, welche den Zähl-  
wert in der ersten Zählschaltung initialisiert, um den  
Zählvorgang wiederaufzunehmen, wenn das Erfassungssignal  
von der ersten Zählschaltung ausgegeben wird; und

20 die zweite Signalerfassungsschaltung in der zweiten di-  
gital gesteuerten Pulserzeugungsschaltung (66) eine zweite  
Zählschaltung, welche die Anzahl der Umläufe des Eingangs-  
signals (PA) innerhalb der Pulsumlaufschaltung zählt und  
ein Erfassungssignal ausgibt, welches anzeigt, wenn der  
25 Zählwert einen Wert erreicht, der dem Zählwert der zu voll-  
ziehenden Umläufe in den zweiten Digitaldaten entspricht,  
und eine zweite Zählsteuerschaltung aufweist, welche den  
Zählwert in der zweiten Zählschaltung initialisiert, um den  
Zählvorgang wiederaufzunehmen, wenn das Erfassungssignal  
30 von der zweiten Zählschaltung ausgegeben wird.

15. Pulsgenerator nach Anspruch 12, bei welchem:

35 die erste Signalauswahlschaltung einen ersten Posi-  
tionsdaten-Ausgabeabschnitt, in welchen die ersten Digital-  
daten (Da) eingegeben werden, der zu Beginn die ersten Di-  
gitaldaten als die ersten Positionsdaten ausgibt, die vor-



hergehend ausgegebenen ersten Positionsdaten durch Hinzufügen der aktuell eingegebenen ersten Digitaldaten zu diesen aktualisiert und das Ergebnis als aktualisierte erste Positionsdaten ausgibt, und einen Abschnitt zum Auswählen eines ersten verzögerten Signals aufweist, welcher das erste verzögerte Signal, welches von dem Verzögerungselement an der Verbindungsposition ausgegeben wird, die den ersten Positionsdaten entspricht, aus den verzögerten Signalen auswählt, die von der Verzögerungsschaltung (62) sequentiell ausgegeben werden; und

die zweite Signalauswahlschaltung einen zweiten Positionsdaten-Ausgabeabschnitt, in welchen die zweiten Digitaldaten (Db) eingegeben werden, der zu Beginn die zweiten Digitaldaten als die zweiten Positionsdaten ausgibt, die vorhergehend ausgegebenen zweiten Positionsdaten durch Hinzufügen der aktuell eingegebenen zweiten Digitaldaten zu diesen aktualisiert und das Ergebnis als aktualisierte zweite Positionsdaten ausgibt, und einen Abschnitt zum Auswählen eines zweiten verzögerten Signals aufweist, welcher das zweite verzögerte Signal, das von dem Verzögerungselement an der Verbindungsposition ausgegeben wird, das den zweiten Positionsdaten (Db) entspricht, aus den verzögerten Signalen auswählt, die von der Verzögerungsschaltung (62) sequentiell ausgegeben werden.

FIG. 1

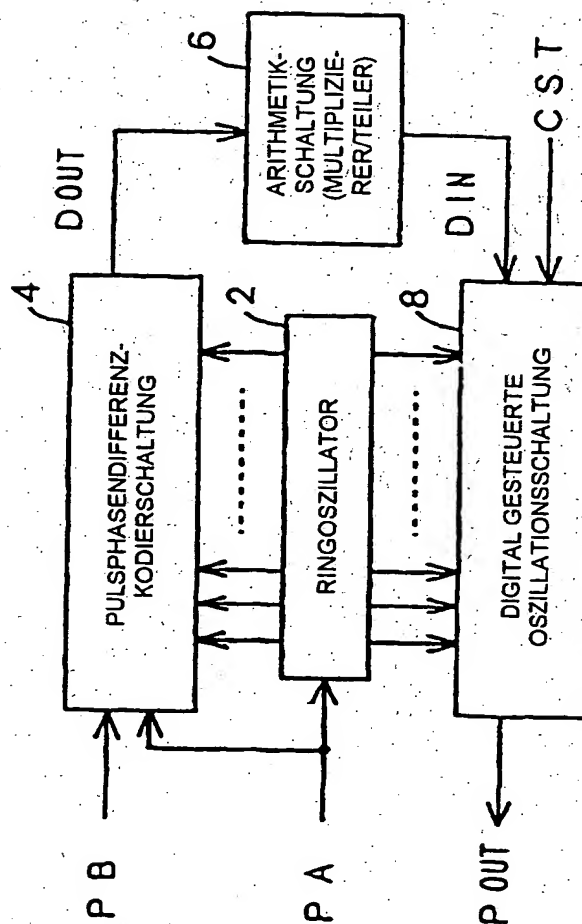


FIG. 2

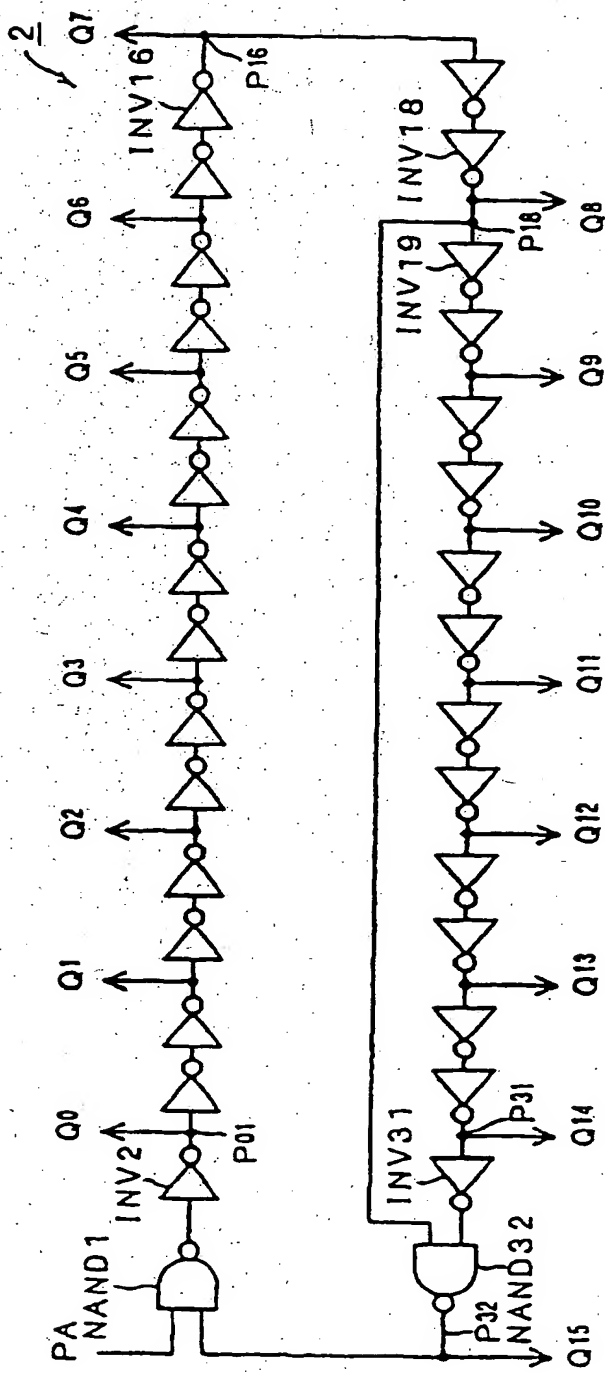


FIG. 3

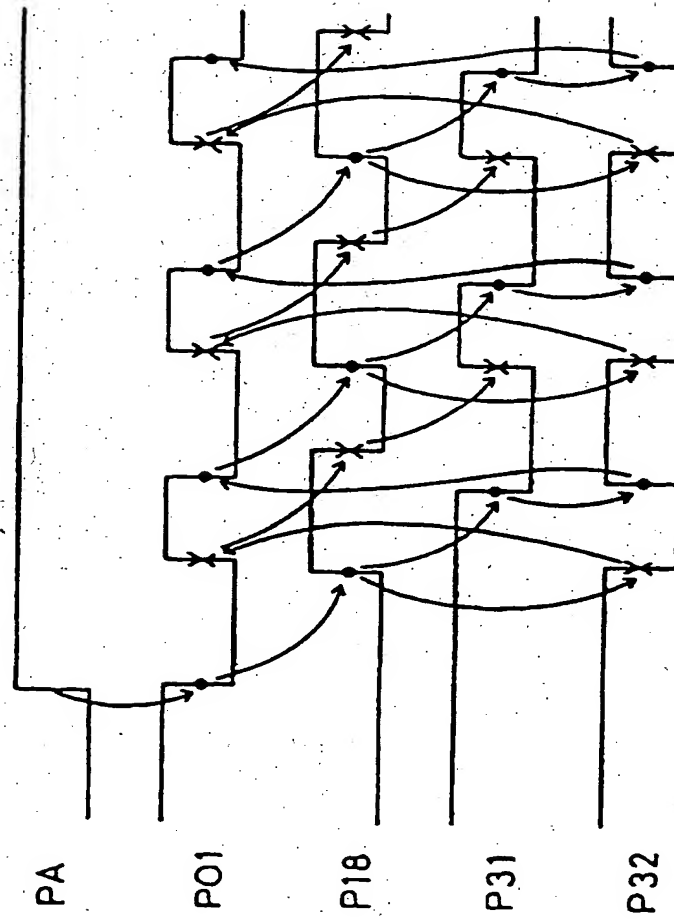




FIG. 4

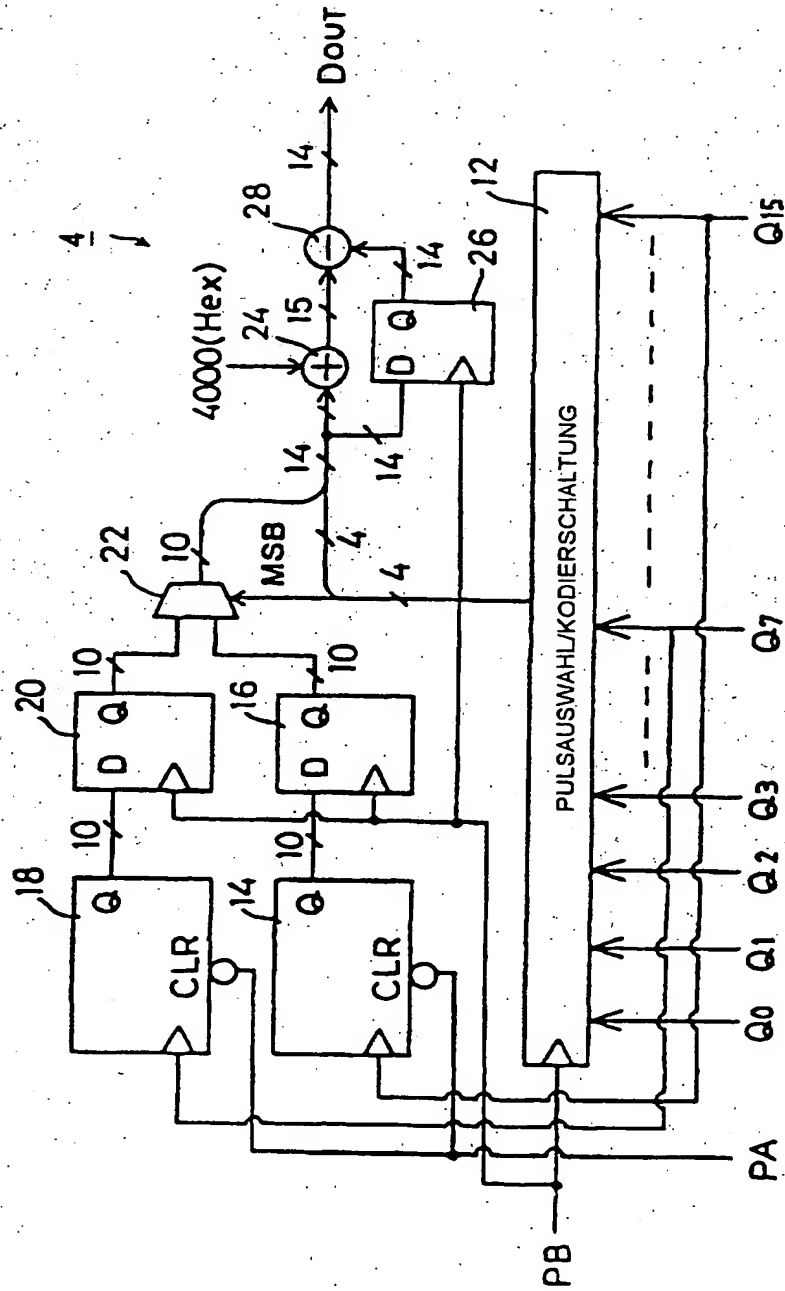


FIG. 5

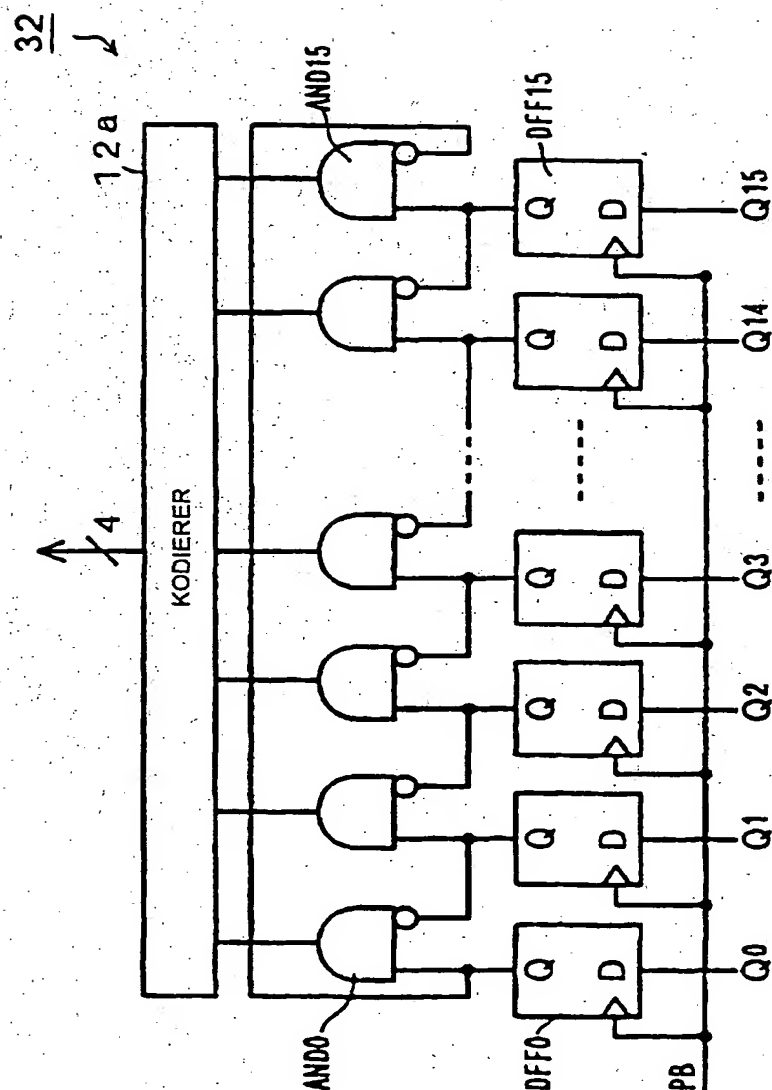
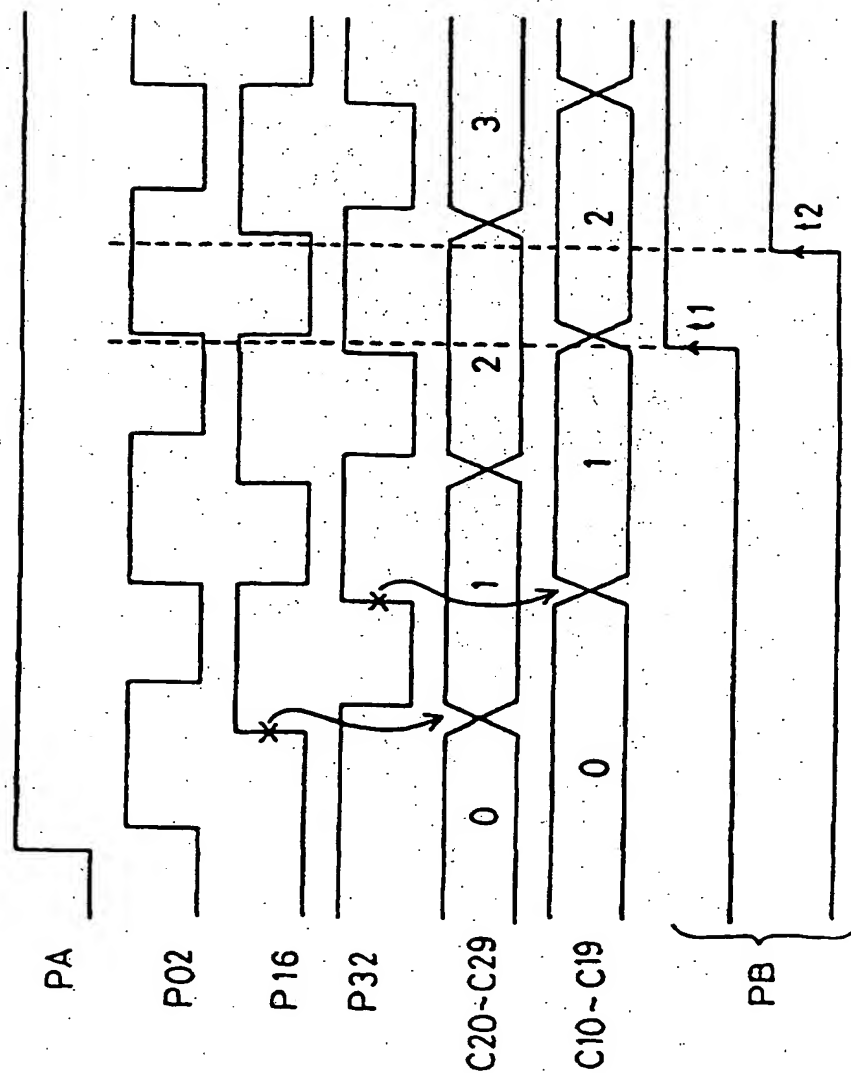


FIG. 6



**FIG. 7**

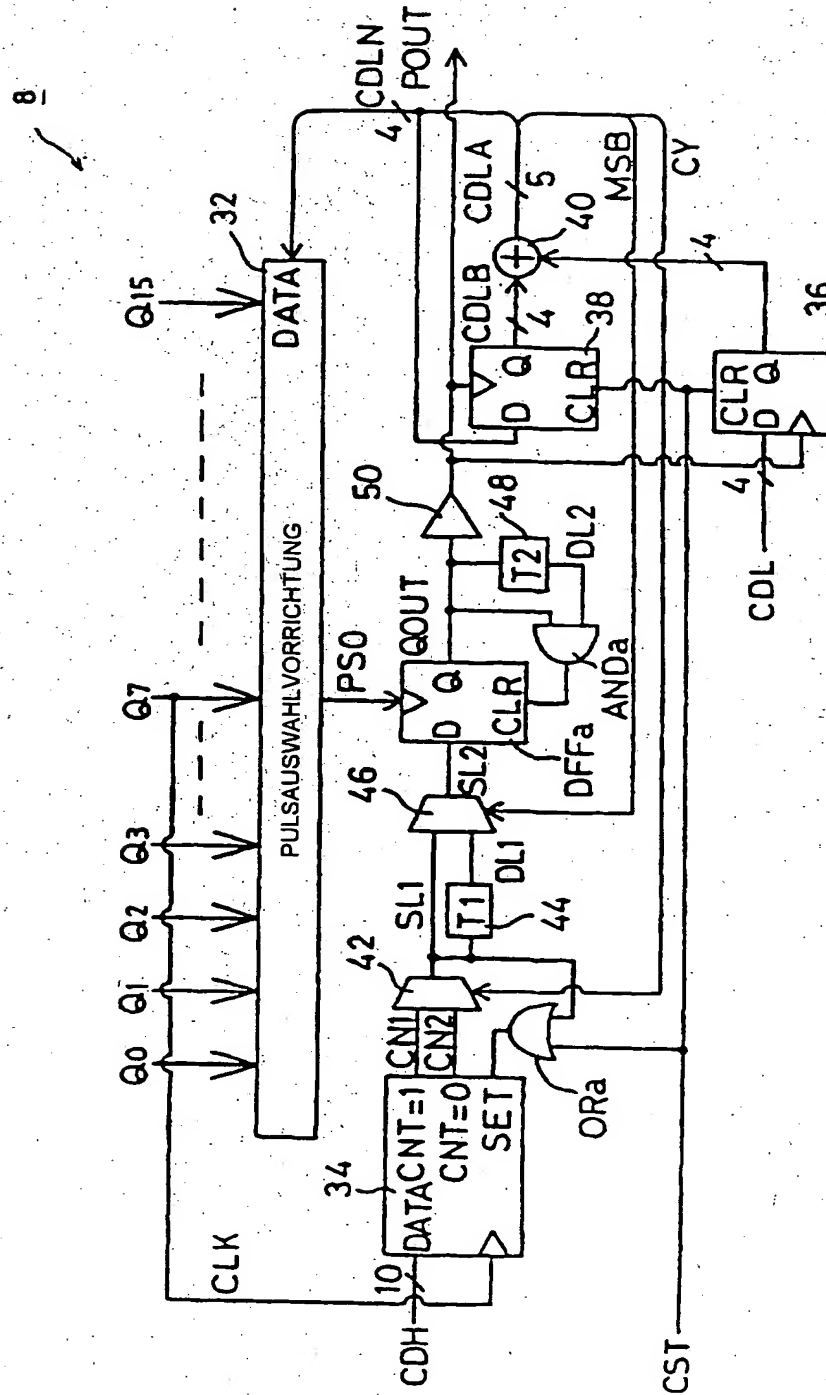


FIG. 8

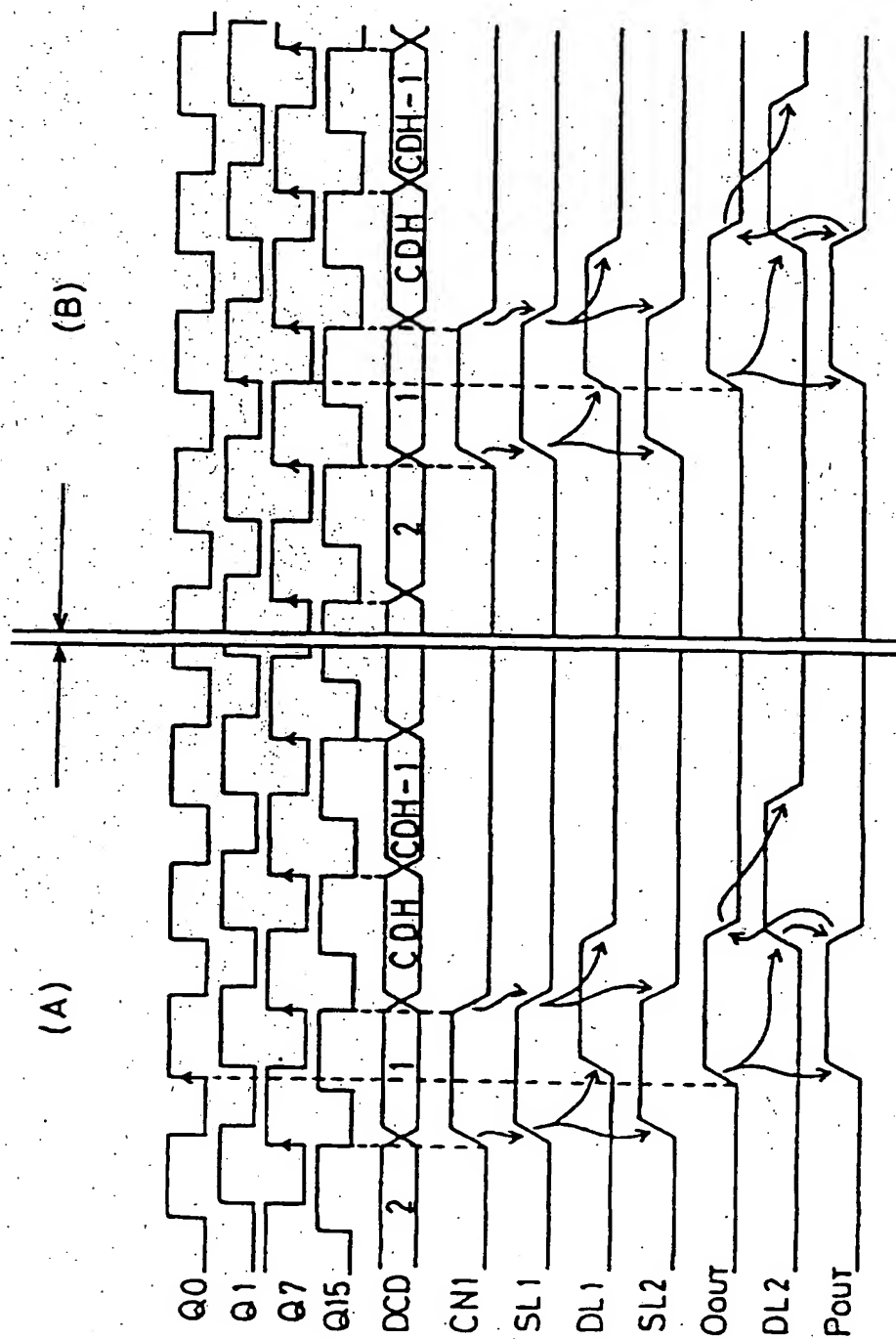


FIG. 9

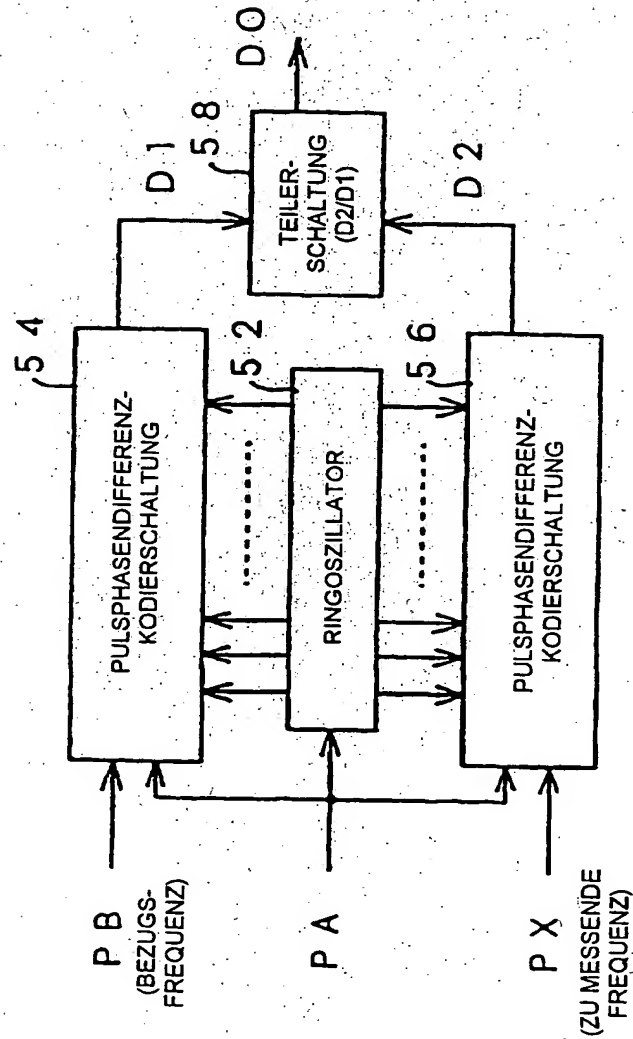


FIG. 10(a)

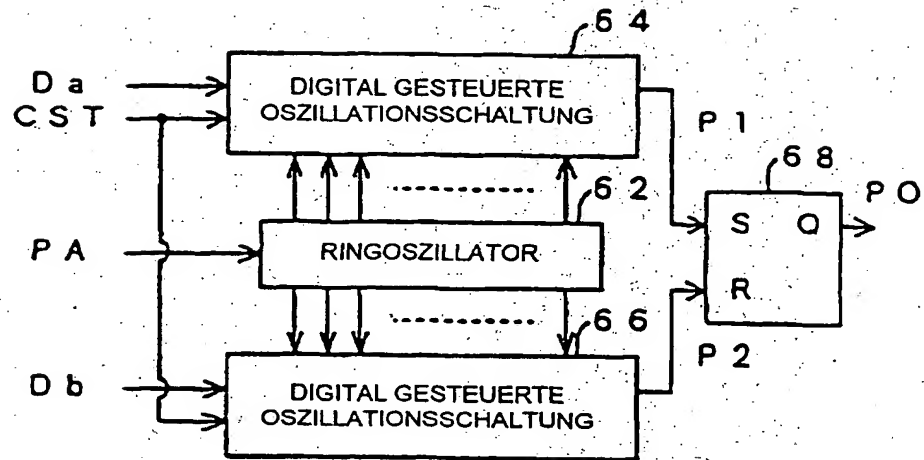


FIG. 10(b)

